

深圳宇凡微电子有限公司
8-Bit Single-Chip Microcontrollers

YF301M

用户手册 (Ver 1.2)

2019年01月修订



目录

1 芯片简介	6
1.1 功能特性.....	6
1.2 引脚分配.....	7
1.3 引脚说明.....	8
1.4 系统框图.....	9
2 存储器结构	10
2.1 程序存储器区.....	10
2.2 数据存储器区.....	11
2.2.1 RPAGE 和 Bank 数据寄存器区.....	11
2.2.2 IOPAGE 数据寄存器区.....	12
3 功能模块	13
3.1 操作寄存器.....	13
3.1.1 RPAGE0~R0 (间接地址存储器)	13
3.1.2 RPAGE0~R1 (TCC 定时计数器)	13
3.1.3 RPAGE0~R2 (PC 程序计数器)	13
3.1.4 RPAGE0~R3 (STATUS 状态寄存器)	13
3.1.5 RPAGE0~R4 (FSR RAM 选择寄存器)	14
3.1.6 RPAGE0 R5~R7(端口 5~端口 7).....	14
3.1.7 RPAGE0~R8(AD 通道使能寄存器).....	15
3.1.8 RPAGE0~R9(ADC 控制寄存器).....	15
3.1.9 RPAGE0~RA(ADC 偏移校准寄存器).....	16
3.1.10 RPAGE0~RB(ADC 结果寄存器 AD11-AD4).....	17
3.1.11 RPAGE0~RC(ADC 结果寄存器 AD11-AD8).....	17
3.1.12 RPAGE0~RD(ADC 结果寄存器 AD7-AD0).....	17
3.1.13 RPAGE0~RE(中断标志 2 及唤醒使能寄存器 1).....	17
3.1.14 RPAGE0~RF(中断标志寄存器 1).....	18
3.1.15 RPAGE1~R5(查表地址高位寄存器).....	18
3.1.16 RPAGE1~R6(查表地址低位寄存器).....	18
3.1.17 RPAGE1~R7(PWM 使能控制寄存器).....	18
3.1.18 RPAGE1~R8(TMR 控制寄存器).....	19
3.1.19 RPAGE1~R9(PWM1 周期寄存器).....	19
3.1.20 RPAGE1~RA(PWM2 周期寄存器).....	19
3.1.21 RPAGE1~RB(PWM1 占空寄存器).....	20
3.1.22 RPAGE1~RC(PWM2 占空寄存器).....	20
3.1.23 RPAGE1~RD(PWM1 和 PWM2 时间和占空比周期的高字节).....	20
3.1.24 RPAGE1~RE(LVD 及唤醒控制寄存器 2).....	20
3.1.25 RPAGE1~RF(系统时钟及状态控制寄存器).....	21
3.2 控制寄存器.....	22
3.2.1 CONT (控制寄存器)	22
3.2.2 IOPAGE0~IOC50~IOC70(I/O 端口控制寄存器).....	22
3.2.3 IOPAGE0~IOC80(定时器 1 和 2 的高字节).....	22
3.2.4 IOPAGE0~IOC90(TMR1 寄存器).....	23

3.2.5 IOPAGE0~IOCA0(TMR2 寄存器).....	23
3.2.6 IOPAGE0~IOCB0(P5 下拉控制寄存器).....	23
3.2.7 IOPAGE0~IOCC0(P6 开漏控制寄存器).....	23
3.2.8 IOPAGE0~IOCD0(P5 上拉控制寄存器).....	23
3.2.9 IOPAGE0~IOCE0(WDT 控制及中断使能控制寄存器 2).....	24
3.2.10 IOPAGE0~IOCF0(中断使能控制寄存器 1).....	24
3.2.11 IOPAGE1~IOC51(P5 低电平驱动控制寄存器).....	25
3.2.12 IOPAGE1~IOC61(P6 低电平驱动控制寄存器).....	25
3.2.13 IOPAGE1~IOC71(P5 高电平驱动控制寄存器).....	25
3.2.14 IOPAGE1~IOC81(P6 高电平驱动控制寄存器).....	25
3.2.15 IOPAGE1~IOCF1(P6 上拉控制寄存器).....	26
3.3 GPIO 功能模块.....	27
3.3.1 GPIO 寄存器说明.....	27
RPAGE0~R5 (P0RT5 数据寄存器)	27
RPAGE0~R6 (P0RT6 数据寄存器)	27
RPAGE0~R7 (P0RT7 数据寄存器)	27
IOPAGE0~IOC50(P5 方向控制寄存器).....	27
IOPAGE0~IOC60(P6 方向控制寄存器).....	27
IOPAGE0~IOC70(P7 方向控制寄存器).....	28
IOPAGE0~IOCB0(P5 下拉控制寄存器).....	28
IOPAGE0~IOCC0(P6 开漏控制寄存器).....	28
IOPAGE0~IOCD0(P5 上拉控制寄存器).....	28
IOPAGE1~IOC51(P5 低电平驱动控制寄存器).....	28
IOPAGE1~IOC61(P6 低电平驱动控制寄存器).....	29
IOPAGE1~IOC71(P5 高电平驱动控制寄存器).....	29
IOPAGE1~IOC81(P6 高电平驱动控制寄存器).....	29
IOPAGE1~IOCF1(P6 上拉控制寄存器).....	29
3.4 TCC 定时器功能模块.....	30
3.4.1 TCC 定时器寄存器说明.....	30
RPAGE0~R1 (TCC 定时计数器)	30
RPAGE0~RF(中断标志寄存器 1).....	30
CONT (控制寄存器)	30
IOPAGE0~IOCF0(中断使能控制寄存器 1).....	31
RPAGE1~RF(系统时钟及状态控制寄存器).....	31
3.4.2 TCC 定时设置说明.....	31
3.5 WDT 看门狗功能模块.....	32
3.5.1 WDT 看门狗寄存器说明.....	32
IOPAGE0~IOCE0(WDT 控制及中断使能控制寄存器 2).....	32
3.5.2 WDT 看门狗设置说明.....	32
3.6 端口状态改变唤醒功能模块.....	33
3.6.1 睡眠唤醒方式说明.....	33
3.6.2 端口状态改变唤醒寄存器说明.....	33
RPAGE0~RE(中断标志 2 及唤醒使能寄存器 1).....	33
RPAGE0~RF(中断标志寄存器 1).....	33
IOPAGE0~IOCF0(中断使能控制寄存器 1).....	33

3.6.3 P5 端口状态改变查询方式唤醒设置.....	34
3.6.4 P5 端口状态改变中断方式唤醒设置.....	34
3.7 LVD 电压检测功能模块.....	35
3.7.1 LVD 电压检测寄存器说明.....	35
RPAGE0~RE(中断标志 2 及唤醒使能寄存器 1).....	35
RPAGE1~RE(LVD 及唤醒控制寄存器 2).....	35
3.7.2 LVD 电压检测设置说明.....	35
3.8 ADC 模数转换功能模块.....	36
3.8.1 ADC 模数转换寄存器说明.....	36
RPAGE0~R8(AD 通道使能寄存器).....	36
RPAGE0~R9(ADC 控制寄存器).....	36
RPAGE0~RA(ADC 偏移校准寄存器).....	37
RPAGE0~RB(ADC 结果寄存器 AD11-AD4).....	38
RPAGE0~RC(ADC 结果寄存器 AD11-AD8).....	38
RPAGE0~RD(ADC 结果寄存器 AD7-AD0).....	38
RPAGE0~RE(中断标志 2 及唤醒控制寄存器 1).....	38
RPAGE1~RF(系统时钟及状态控制寄存器).....	38
IOPAGE0~IOCE0(WDT 控制及中断使能控制寄存器 2).....	39
3.8.2 ADC 模数转换设置说明.....	39
3.8.3 ADC 模数转换精度调整说明.....	39
3.9 PWM 脉宽调制功能模块.....	40
3.9.1 PWM 脉宽调制寄存器说明.....	40
RPAGE0~RF(中断标志 1 寄存器).....	40
RPAGE1~R7(PWM 使能控制寄存器).....	40
RPAGE1~R8(TMR 控制寄存器).....	40
RPAGE1~R9(PWM1 周期寄存器).....	41
RPAGE1~RA(PWM2 周期寄存器).....	41
RPAGE1~RB(PWM1 占空寄存器).....	41
RPAGE1~RC(PWM2 占空寄存器).....	41
RPAGE1~RD(PWM1 和 PWM2 时间和占空比周期的高字节).....	41
RPAGE1~RF(系统时钟及状态控制寄存器).....	42
IOPAGE0~IOC90(TMR1 寄存器).....	42
IOPAGE0~IOCA0(TMR2 寄存器).....	42
IOPAGE0~IOCF0(中断使能 1 控制寄存器).....	42
3.9.2 PWM 脉宽调制设置说明.....	42
3.10 中断功能模块.....	43
3.10.1 中断寄存器说明.....	43
RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器).....	43
RPAGE0~RF(中断标志 1 寄存器).....	43
RPAGE1~RE(LVD 及唤醒控制寄存器 2).....	44
IOPAGE0~IOCE0(WDT 控制及中断使能控制寄存器 2).....	44
IOPAGE0~IOCF0(中断使能控制寄存器 1).....	44
3.11 复位功能模块.....	45
3.11.1 复位功能概述.....	45
3.11.2 上电复位.....	45

3.11.3 WDT 看门狗复位.....	45
3.11.4 LVR 低电压复位.....	46
3.11.5 工作频率与 LVR 低压检测关系.....	46
3.12 系统时钟功能模块.....	47
3.12.1 外部晶体振荡器/陶瓷谐振器 (XT)	47
3.12.2 外部 RC 振荡器模式 (ERC)	48
3.12.3 内部 RC 振荡器模式 (IRC)	49
3.12.4 时钟模块应用说明.....	49
3.12.5 主频与功耗选择说明.....	49
4 CODE OPTION 寄存器.....	50
5 芯片电气特性.....	52
5.1 芯片极限参数.....	52
5.2 芯片直流参数.....	52
6 封装尺寸信息.....	53
6.1 14PIN 封装尺寸.....	53
6.2 10PIN 封装尺寸.....	54
6.3 8PIN 封装尺寸.....	55

1 芯片简介

1.1 功能特性

CPU 配置

- 1K×16-Bit MTP ROM
- 80×8-Bit SRAM
- 8 级堆栈空间
- 4 级可编程电压检测 (LVD)
4.5V, 4.0V, 3.3V, 2.2V
- 4 级可编程电压复位 (LVR)
4.0V, 3.5V, 2.7V, 1.8V
- 工作电流小于 2 mA (4MHz/5V)
- 工作电流 30 μ A (32kHz/3V)
- 休眠电流小于 1 μ A (休眠模式)
- DC~16MHz (高于 4.5V)
- DC~8MHz (高于 3V)
- DC~4MHz (高于 2.5V)
- 时钟周期分频选择:
2Clock, 4Clock, 8Clock, 16Clock

I/O 配置

- 3 组双向 I/O 端口:P5, P6, P7
- 12 个 I/O 引脚 (P71 开漏输出)
- 唤醒端口:P5 口
- 10 个可编程上拉 I/O 引脚
- 8 个可编程下拉 I/O 引脚
- 2 个可编程漏极开路 I/O 引脚
- 8 个可编程驱动增强 I/O 引脚
- 外部中断:P60

工作电压

- 工作电压范围:
1.8V~5.5V (0°C~70°C)
2.3V~5.5V (-40°C~85°C)

工作频率范围 (基于 2Clock)

- 内置 IRC 振荡电路:
16MHz, 8MHz, 4MHz, 1MHz
- 外置 ERC 振荡电路:
- 外置 XT 振荡电路:

外围模块

- 8Bit 实时时钟/计数器
- 8 路通道 12Bit ADC 模数转换器
- 2 路 8/12Bit 脉宽调制器 PWM
- 可级联 16/20Bit 脉宽调制器 PWM

中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断
- ADC 转换完成中断
- 低电压检测 (LVD) 中断
- PWM1 周期/占空比匹配中断
- PWM2 周期/占空比匹配中断

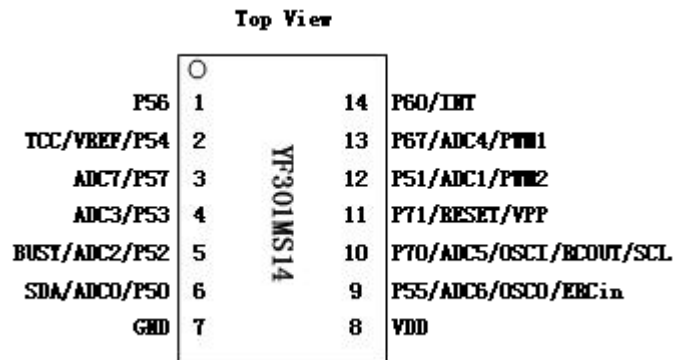
特性

- 可编程 WDT 定时器
- 四种工作模式切换

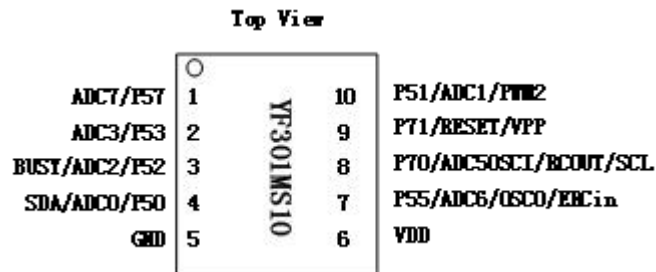
封装类型

- YF301M-DIP14;
- YF301M-SOP14;
- YF301M-DIP8;
- YF301M-SOP8;
- YF301M-MSOP10;

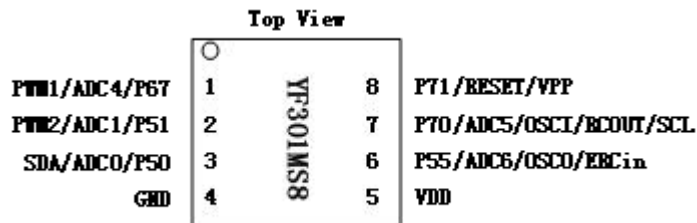
1.2 引脚分配



YF301M-14PIN 脚位图



YF301M-10PIN 脚位图

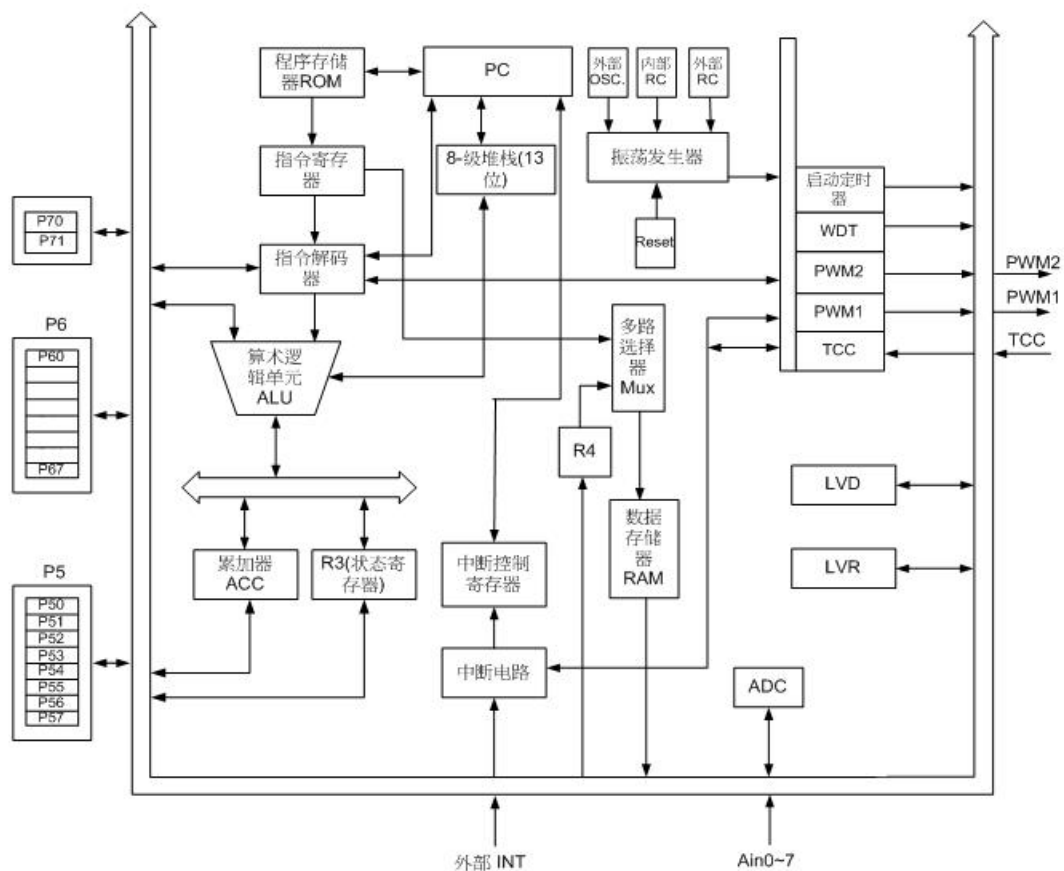


YF301M-8PIN 脚位图

1.3 引脚说明

序号	管脚名	I/O	功能描述
P50	P50	I/O (上/下拉)	GPIO, 可编程上下拉, 端口唤醒
	ADC0	AN	ADC 输入通道 0
P51	P51	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC1	AN	ADC 输入通道 1
	PWM2	CMOS 输出	PWM2 输出
P52	P52	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC2	AN	ADC 输入通道 2
P53	P53	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC3	AN	ADC 输入通道 3
P54	P54	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	TCC	SMT	TCC 时钟输入端口
	VREF	AN	ADC 外部基准电压
P55	P55	I/O (上/下拉)	GPIO, 可编程上下拉, 端口唤醒
	ADC6	AN	ADC 输入通道 6
	OSCO	XTAL	晶体振荡器输出口
	ERCin	AN	外部 RC 输入口
P56	P56	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
P57	P57	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC7	AN	ADC 输入通道 7
P60	P60	I/O (上/下拉)	GPIO, 可编程上拉、漏极开路、高驱动和高灌
	INT0	I (SMT)	外部中断输入端口
P67	P67	I/O (上拉)	GPIO, 可编程上拉、漏极开路、高驱动和高灌
	ADC4	AN	ADC 输入通道 4
	PWM1	CMOS 输出	PWM1 输出
P70	P70	I/O	GPIO
	ADC5	AN	ADC 输入通道 5
	OSCI	I (XTAL)	振荡器输入口
	RCOUT	0	RC 振荡器输出口
P71	P71	I	开漏输出
	RESET	I (SMT)	复位脚
	VDD	--	电源
	VSS	--	地

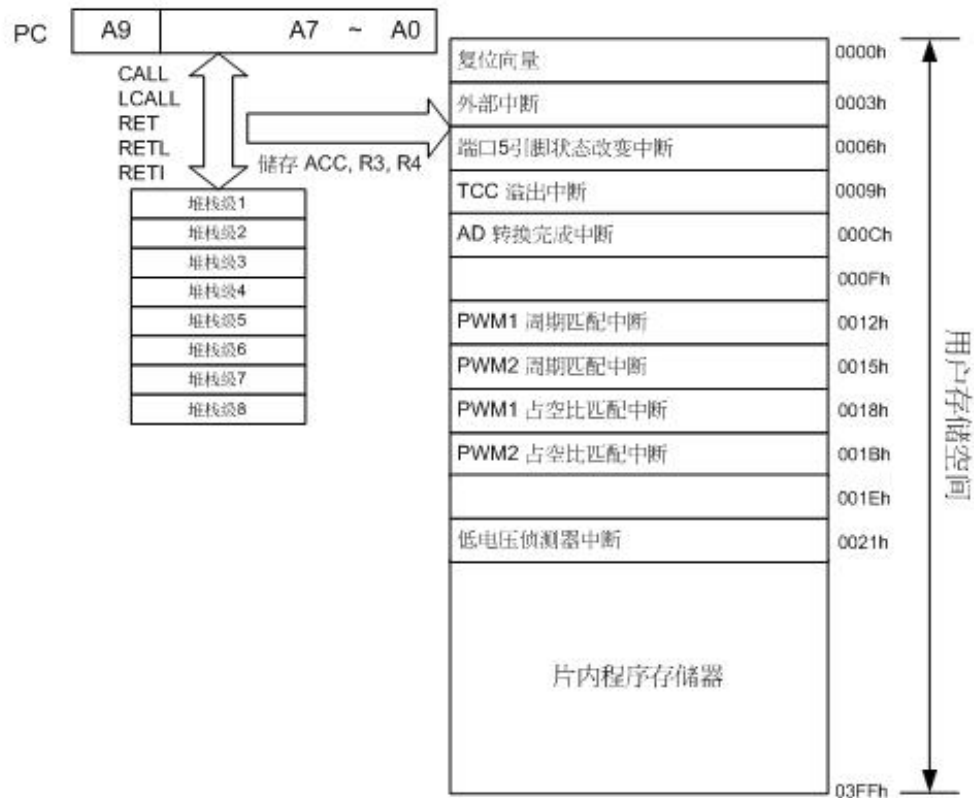
1.4 系统框图



系统结构框图

2 存储器结构

2.1 程序存储器区



程序存储器区结构图

2.2 数据存储区

2.2.1 RPAGE 和 Bank 数据寄存器区

0x00	R0 间接寻址寄存器	保留
0x01	R1 TCC 计数器	保留
0x02	R2 PC 程序计数器	保留
0x03	R3 STATUS 状态寄存器	保留
0x04	R4 FSR RAM 选择寄存器	保留
0x05	R5 PORT5 数据寄存器	R5 查表地址高位寄存器
0x06	R6 PORT6 数据寄存器	R6 查表地址低位寄存器
0x07	R7 PORT7 数据寄存器	R7 PWM 控制寄存器
0x08	R8 ADC 输入选择寄存器	R8 TMR 控制寄存器
0x09	R9 ADC 控制寄存器	R9 PWM1 周期寄存器
0x0A	RA ADC 偏移校准寄存器	RA PWM2 周期寄存器
0x0B	RB AD 转换值寄存器 AD11-AD4	RB PWM1 占空比寄存器
0x0C	RC AD 转换值寄存器 AD11-AD8	RC PWM2 占空比寄存器
0x0D	RD AD 转换值寄存器 AD7-AD0	RD PWM1 & PWM2 周期和占空比周期的高字节
0x0E	RE 中断标志 2 及唤醒控制寄存器 1	RE LVD 及唤醒控制寄存器 2
0x0F	RF 中断标志寄存器 1	RF 模式选择和 IRC 切换寄存器
0x10 ~ 0x1F	通用寄存器 16*8Bit	
	Bank0	Bank1
0x20 ~ 0x3F	通用寄存器 32*8Bit	通用寄存器 32*8Bit

2.2.2 IOPAGE 数据寄存器区

地址	IOPAGE0 页面寄存器	IOPAGE1 页面寄存器
0x00	保留	保留
0x01	保留	保留
0x02	保留	保留
0x03	保留	保留
0x04	保留	保留
0x05	IOC50 P5 方向控制寄存器	IOC51 P5 低电平驱动控制寄存器
0x06	IOC60 P6 方向控制寄存器	IOC61 P6 低电平驱动控制寄存器
0x07	IOC70 P7 方向控制寄存器	IOC71 P5 高电平驱动控制寄存器
0x08	IOC80 Timer1 和 Timer2 的高字节	IOC81 P6 高电平驱动控制寄存器
0x09	IOC90 TMR1 寄存器	保留
0x0A	IOCA0 TMR2 寄存器	保留
0x0B	IOCB0 下拉控制寄存器	保留
0x0C	IOCC0 开漏控制寄存器	保留
0x0D	IOCD0 上拉控制寄存器	保留
0x0E	IOCE0 WDT 及中断使能控制寄存器 2	保留
0x0F	IOCF0 中断使能控制寄存器 1	IOCF1 P6 上拉控制寄存器

3 功能模块

3.1 操作寄存器

3.1.1 RPAGE0~R0（间接地址存储器）

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4（RAM 选择寄存器）低 6 位 RAMS<5:0>所指向的数据。

3.1.2 RPAGE0~R1（TCC 定时计数器）

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TMR 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作（CONT. 4 位定义）。如果清零 PAB 位（CONT. 3），会有一个预分频器分配给 TCC，当 TCC 寄存器被写入一个值时，预分频器的值会被清 0。

3.1.3 RPAGE0~R2（PC 程序计数器）

程序计数器（PC）是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中，PC 将指令指针推进程序存储器，然后指针自增 1 以进入下一个周期。YF301M 拥有一个 13 位宽度的程序计数器（PC），其低字节来自可读写的 PCL。

YF301M 堆栈是用于记录程序返回的指令指针。当调用子程序时，PC 将指令指针压栈。待执行返回指令时，堆栈将指令指针送回 PC，继续进行原来的进程。YF301M 拥有 8 级堆栈，该堆栈既不占程序存储空间也不占数据存储空间，并且堆栈指针不能读写。

- (1) 寄存器 PC 和内置 8 级堆栈都是 13 位宽，用于 2K×16Bit ROM 的寻址，YF301M 程序存储区映射。
- (2) 一般情况下，PC 自增一；复位时，PC 的所有位都被清零。
- (3) 指令“JMP”允许直接载入低 10 位地址，因此，JMP 指令可以实现当前页面内（1K 范围内）任意位置跳转。指令“JMP”直接载入低 10 位地址，同时将 PC +1 压栈，子程序入口地址只要在同一页面内就能够被准确定位。
- (4) 执行“RET”（RETL k, RETI）指令时将栈顶数据送到 PC。
- (5) 堆栈的工作犹如循环缓冲器，也就是说，压栈 8 次之后，第 9 次压栈时进栈的数据将覆盖第 1 次进栈的数据，而第 10 次压栈时进栈的数据将覆盖第 2 次进栈的数据，依此类推。

3.1.4 RPAGE0~R3（STATUS 状态寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	IOCS	-	T	P	Z	DC	C

Bit<7>:RST:复位类型标志位:

0:其它复位类型

1:若休眠模式由引脚状态改变、比较器状态改变或 AD 转换完成等唤醒

Bit<6>:IOCS:IOCPAGE 页面选择

0:选择 IOCPAGE0 页面

1:选择 IOCPAGE1 页面

Bit<4>:T:时间溢出位

0:WDT 溢出

1:执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0

Bit<3>:P:掉电标志位:

0:执行“SLEEP”指令

1:上电复位或执行“WDTC”指令

Bit<2>:Z:零标志位算术或逻辑操作结果为零时置为“1”

0:当算术或者逻辑运算结果不为 0

1:当算术或者逻辑运算结果为 0

Bit<1>:DC:辅助进位标志:

0:执行加法运算时,低四位没有进位产生;/执行减法运算时,低四位产生借位

1:执行加法运算时,低四位有进位产生;/执行减法运算时,低四位没产生借位

Bit<0>:C:进位标志:

0:执行加法运算时,高四位没有进位产生;/执行减法运算时,高四位产生借位

1:执行加法运算时,高四位有进位产生;/执行减法运算时,高四位没产生借位

3.1.5 RPAGE0~R4 (FSR RAM 选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBANK	BANK	FSR<5:0>					

FSR<7>:SBANK

特殊功能寄存器 0x05-0x0F bank 选择位

FSR<6>:BANK 页面选择位 (0x20-0x3F)

0: Bank0

1: Bank1

FSR<5:0>:在间接寻址方式中用于选择 RAM 寄存器地址 (寻址范围:0X00~0X3F)

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 FSR 中对应地址的寄存器。

3.1.6 RPAGE0 R5~R7(端口 5~端口 7)

端口输入/输出寄存器

3.1.7 RPAGE0~R8 (AD 通道使能寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE<7>	ADE<6>	ADE<5>	ADE<4>	ADE<3>	ADE<2>	ADE<1>	ADE<0>

Bit<7:0>:ADE<7:0>-AD 通道使能控制位

- 1:使能
- 0:禁止

通道编号	使能控制	对应引脚
AD0	ADE<0>	P50
AD1	ADE<1>	P51
AD2	ADE<2>	P52
AD3	ADE<3>	P53
AD4	ADE<4>	P67
AD5	ADE<5>	P70
AD6	ADE<6>	P55
AD7	ADE<7>	P57

AD 通道使能寄存器可读可写

3.1.8 RPAGE0~R9 (ADC 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR<1:0>		ADRUN	ADPD	ADIS<2:0>		

Bit<7>:VREFS-ADC 基准选择

- 1:外部基准 (从 P54 输入)
- 0:内部基准

Bit<6:5>:CKR<1:0> (AD 采样基准时钟设置, 设定最小时间单位 TAD 的值)

CPUS	CKR<1>	CKR<0>	ADC 时钟
1	0	0	Fosc/16
1	0	1	Fosc/4
1	1	0	Fosc/64
1	1	1	Fosc/1
0	x	x	Fosc/1

Bit<4>:ADRUN-ADC 启动位

- 1:启动
- 0:禁止

Bit<3>:ADPD-ADC 使能位

- 1:使能
- 0:禁止

Bit<2:0>:ADIS<2:0>-ADC 通道选择位

ADICS	ADIS<2>	ADIS<1>	ADIS<0>	ADC 通道选择
0	0	0	0	P50
0	0	0	1	P51
0	0	1	0	P52
0	0	1	1	P53

ADICS	ADIS<2>	ADIS<1>	ADIS<0>	ADC 通道选择
0	1	0	0	P67
0	1	0	1	P70
0	1	1	0	P55
0	1	1	1	P57
1	1	0	0	0.25*VDD

注:Fosc 代表振荡器时钟, 例如选择 IRC 频率选择 4M, 则 Fosc=4M

例如:Fosc=4M, TAD 设置为 Fosc/4, 则 TAD=1US

3.1.9 RPAGE0~RA (ADC 偏移校准寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF<2:0>			VREF<1:0>		ADICS

Bit<7>:CALI-ADC 调零校正使能位

1:使能

0:禁止 (默认)

Bit<6>:SIGN-ADC 校正极性选择

1:正极性

0:负极性 (默认)

Bit<5:3>:VOF<2:0>-ADC 调零校正位

VOF<2>	VOF<1>	VOF<0>	校正幅度
0	0	0	0 LSB
0	0	1	2 LSB
0	1	0	4 LSB
0	1	1	6 LSB
1	0	0	8 LSB
1	0	1	10 LSB
1	1	0	12 LSB
1	1	1	14 LSB

Bit<2:1>:VREF<1:0>-ADC 内部基准选择

VREF<1>	VREF<0>	
0	0	VDD (默认)
0	1	4V
1	0	3V
1	1	2V

Bit<0>:ADICS-ADC 内部通道选择位 (选择 ADC 内部 1/4 VDD 或 OP 输出引脚接至 ADC 输入脚)

1:使能

0:禁止 (默认)

3.1.10 RPAGE0~RB (ADC 结果寄存器 AD11-AD4)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<11>	AD<10>	AD<9>	AD<8>	AD<7>	AD<6>	AD<5>	AD<4>

当 AD 转换完成时，结果存入 ADDATA，ADRUN 位清“0”，ADIF 置“1”，见 3.1.13 部分，Bank 0 RE（中断状态 2 和唤醒控制寄存器）。RB 为只读寄存器。

3.1.11 RPAGE0~RC (ADC 结果寄存器 AD11-AD8)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	AD<11>	AD<10>	AD<9>	AD<8>

当 AD 转换完成时，结果存入 ADDATA1H，ADRUN 位清“0”，ADIF 置“1”，见 3.1.13 部分，Bank 0 RE（中断状态 2 和唤醒控制寄存器）。RC 为只读寄存器。

3.1.12 RPAGE0~RD (ADC 结果寄存器 AD7-AD0)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<7>	AD<6>	AD<5>	AD<4>	AD<3>	AD<2>	AD<1>	AD<0>

当 AD 转换完成时，结果存入 ADDATA1L，ADRUN 位清“0”，ADIF 置“1”，见 3.1.13 部分，Bank 0 RE（中断状态 2 和唤醒控制寄存器）。RD 为只读寄存器。

3.1.13 RPAGE0~RE (中断标志 2 及唤醒使能寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	-	ADWE	-	P5ICWE	LVDWE

Bit<7>:LVD_FG-低压检测标志位（该位只读）

0: 电源电压低于预设电压检测点

1: 电源电压高于预设电压检测点或低压检测模块未使能（默认）

Bit<6>:LVDIF-低压检测中断标志位

1: 有低压检测中断

0: 无低压检测中断

Bit<5>:ADIF-AD 转换结束中断标志位

1: 有 AD 中断

0: 无 AD 中断（默认）

Bit<4>:未使用，一直置 0

Bit<3>:ADWE-ADC 唤醒使能

1: 使能 ADC 唤醒

0: 禁止 ADC 唤醒（默认）

Bit<2>: 未使用，一直置 0

Bit<1>: P5ICWE-P5 端口状态改变唤醒使能

1: 使能

0: 禁止

Bit<0>:LVDWE-LVD 唤醒使能（在低电压侦测运行情况下，当其用于进入中断或将 IC 由休眠/空闲模式唤醒时，LVDWE 位必须设为“使能”。）

1: 使能

0: 禁止

3.1.14 RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<6>:DT2IF-PWM2 占空匹配中断标志位
 Bit<5>:DT1IF-PWM1 占空匹配中断标志位
 Bit<4>:PWM2IF-PWM2 周期匹配中断标志位
 Bit<3>:PWM1IF-PWM1 周期匹配中断标志位
 Bit<2>:EXIF 外部中断标志位
 Bit<1>:P5ICIF-P5 端口状态改变中断标志位
 Bit<0>:TCIF-TCC 中断标志位

1:有中断
 0:无中断

3.1.15 RPAGE1~R5 (查表地址高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	-	-	-	-	-	TAD<9>	TAD<8>

Bit<7>:MLB-查表数据选择
 1:高八位
 0:低八位
 Bit<6:3>:未用, 设为 0
 Bit<2:0>:TAD<9:8>-查表指令地址高四位

3.1.16 RPAGE1~R6 (查表地址低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TAD<7>	TAD<6>	TAD<5>	TAD<4>	TAD<3>	TAD<2>	TAD<1>	TAD<0>

查表指令地址低八位

3.1.17 RPAGE1~R7 (PWM 使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	PWMCAS	PWM2E	PWM1E

Bit<2>:PWMCAS-PWM 级联模式选择
 1:16-Bit PWM (由两个 8 位 PWM 级联而来)
 0:两个独立的 8-Bit PWM 功能 (默认值)
 Bit<1>:PWM2E-PWM2 功能控制
 1:使能 (P51 输出)
 0:禁止 (默认)
 Bit<0>:PWM1E-PWM1 功能控制
 1:使能 (P67 输出)
 0:禁止 (默认)

3.1.18 RPAGE1~R8 (TMR 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P<2:0>			T1P<2:0>		

Bit<7>:T2EN-TMR2 功能控制

1:使能

0:禁止

Bit<6>:T1EN-TMR1 功能控制

1:使能

0:禁止

Bit<5:3>:T2P<2:0>-TMR2 预分频选择

T2P<2>	T2P<1>	T2P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2:0>:T1P<2:0>-TMR1 预分频选择

T1P<2>	T1P<1>	T1P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.1.19 RPAGE1~R9 (PWM1 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

PWM1 周期设定寄存器，可读可写

3.1.20 RPAGE1~RA (PWM2 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

PWM2 周期设定寄存器，可读可写

3.1.21 RPAGE1~RB (PWM1 占空寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1<7>	DT1<6>	DT1<5>	DT1<4>	DT1<3>	DT1<2>	DT1<1>	DT1<0>

PWM1 占空比设定寄存器，可读可写

使 PWM1 的输出一直保持高电平直到其值与 TMR1 内容相匹配的一个特定值

3.1.22 RPAGE1~RC (PWM2 占空寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<7>	DT2<6>	DT2<5>	DT2<4>	DT2<3>	DT2<2>	DT2<1>	DT2<0>

PWM2 占空比设定寄存器，可读可写

使 PWM2 的输出一直保持高电平直到其值与 TMR2 内容相匹配的一个特定值

3.1.23 RPAGE1~RD (PWM1 和 PWM2 时间和占空比周期的高字节)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<9>	DT2<8>	DT1<9>	DT1<8>	PRD2<9>	PRD2<8>	PRD1<9>	PRD1<8>

Bits 7~6 (DT2 [9~8]): RPAGE1 RD 中对应的内容是 PWM 2 占空比的高字节

Bits 5~4 (DT1 [9~8]): RPAGE1 RD 中对应的内容是 PWM 1 占空比的高字节

Bits 3~2 (PRD2[9~8]): RPAGE1 RD 中对应的内容是 PWM 2 周期的高字节

Bits 1~0 (PRD1[9~8]): RPAGE1 RD 中对应的内容是 PWM 1 周期的高字节

3.1.24 RPAGE1~RE (LVD 及唤醒控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LV DEN	LVD<1:0>		-	-	-	EXWE

Bit<7>:LVDIE-LVD 中断控制

1:使能

0:禁止

Bit<6>:LV DEN-LVD 功能控制

1:使能

0:禁止

Bit<5:4>:LVD<1:0>-LVD 检测点选择

LVD<1>	LVD<0>	LVD 检测点选择
0	0	4.5V
0	1	4.0V
1	0	3.3V
1	1	2.2V

Bit<0>:EXWE-外部中断唤醒控制

1:使能

0:禁止

3.1.25 RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSRC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<6>:TIMERSRC-TCC/PWM 时钟源选择

- 1:主时钟
- 0:副时钟

Bit<5>:CPUS-CPU 时钟选择

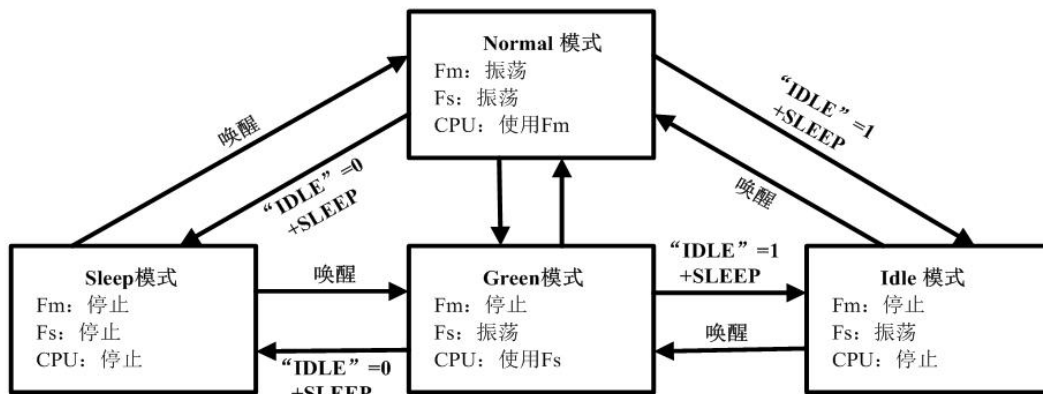
- 1:主时钟
- 0:副时钟

Bit<4>:IDLE-系统状态选择

- 1:执行 SLEEP 后进入睡眠模式 (CPU+外设均停止)
- 0:执行 SLEEP 后进入等待模式 (CPU 停止, 外设不停止)

该位将决定执行 SLEP 指令后 CPU 将进入哪个工作模式

- 1:IDLE = '1' + SLEP 指令 → 空闲模式
- 0:IDLE = '0' + SLEP 指令 → 休眠模式 (默认)



Bit<3:2>:SHS<1:0>-ADC 采样保持周期选择位

SHS<1>	SHS<0>	AD 采样保持周期
0	0	2TAD
0	1	4TAD
1	0	8TAD
1	1	12TAD

注:逐次逼近式 AD 转换的精确性、线性和速度由 ADC 和比较器的特性决定。采样电阻直接影响采样保持电容充电所需时间。应用过程控制采样时间长短以满足特定精度的需要。总的来说,对于采样电阻每增加 1K 的阻抗,采样时间要增加至少 2 μ s。建议采样电阻的最大阻抗为 10K。

Bit<1:0>:RCM<1:0>:IRC 频率选择位

RCM<1>	RCM<0>	IRC 频率选择
0	0	1M
0	1	8M
1	0	16M
1	1	4M

3.2 控制寄存器

3.2.1 CONT (控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

Bit<7>:INTE:中断信号触发沿

0:中断发生在 INT 引脚信号上升沿

1:中断发生在 INT 引脚信号下降沿

Bit<6>:INT:中断使能标志位 (该位只读)

0:由 DISI 指令或硬件中断屏蔽

1:由 ENI 或 RETI 指令使能

Bit<5>:TS:TCC 时钟源选择控制位

1:选择外部时钟 (P54 作为 TCC 端口)

0:选择内部系统时钟 (P54 作为普通 IO 口)

Bit<4>:TE:外部时钟触发沿选择控制位

1:选择外部时钟的下降沿作为触发沿

0:选择外部时钟的上升沿作为触发沿

Bit<3>:PSTE:预分频器选择控制位

1:TCC 预分频器使能

0:TCC 预分频器禁止

Bit<2:0> PST2~PST0:分频系数选择控制位

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

注:CONT 寄存器可读写, BIT6 为只读位

3.2.2 IOPAGE0~IOC50~IOC70 (I/O 端口控制寄存器)

1:输入 (默认)

0:输出

3.2.3 IOPAGE0~IOC80 (定时器 1 和 2 的高字节)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2<9>	TMR2<8>	-	-	-	-	TMR1<9>	TMR1<8>

Bit<7:6>: PWM2 定时器的最高有效位

Bit<5:2>: 一直为 0

Bit<1:0>: PWM1 定时器的最高有效位

IOC80 对应的这两个位的内容只读.

3.2.4 IOPAGE0~IOC90 (TMR1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1<7:0>							

TMR1 寄存器，只读

3.2.5 IOPAGE0~IOCA0 (TMR2 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2<7:0>							

TMR2 寄存器，只读

3.2.6 IOPAGE0~IOCB0 (P5 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PD<7>	P5PD<6>	P5PD<5>	P5PD<4>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

IOCB0 寄存器可读写

Bit 7 (/PD57): 控制位用于使能 P57 引脚内部下拉功能.

0:使能内部下拉

1:禁止内部下拉(默认)

Bit 6(/PD56): 控制位用于使能 P56 引脚内部下拉功能

Bit 5(/PD55): 控制位用于使能 P55 引脚内部下拉功能

Bit 4(/PD54): 控制位用于使能 P54 引脚内部下拉功能

Bit 3(/PD53): 控制位用于使能 P53 引脚内部下拉功能

Bit 2(/PD52): 控制位用于使能 P52 引脚内部下拉功能

Bit 1(/PD51): 控制位用于使能 P51 引脚内部下拉功能

Bit 0(/PD50): 控制位用于使能 P50 引脚内部下拉功能

3.2.7 IOPAGE0~IOCC0 (P6 开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P60D<7>	-	-	-	-	-	-	P60D<0>

IOCC0 寄存器可读写.

Bit 7 (P60D<7>): 控制位用于使能 P67 引脚漏极开路功能.

0: 禁止漏极开路输出

1: 使能漏极开路输出

Bits 6~1: 未使用

Bit 0 (P60D<0>): 控制位用于使能 P60 引脚漏极开路功能.

3.2.8 IOPAGE0~IOCD0 (P5 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Port5 上拉控制

1:禁止(默认)

0:使能

3.2.9 IOPAGE0~IOCE0 (WDT 控制及中断使能控制寄存器 2)

Bit 7	Bit6	Bit5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	-	PSWE	PSW<2:0>		

Bit<7>:WDTE-WDT 功能控制

- 1:使能
- 0:禁止

Bit<6>:EIS-外部中断端口功能选择

- 1:作为外部中断口
- 0:作为 GPIO

Bit<5>:ADIE-ADC 中断使能控制

Bit<4>:未使用

Bit<3>:PSWE-看门狗时钟预分频控制

- 0: 预分频禁止, WDT 分频比为 1:1
- 1: 预分频使能, WDT 分频比由位 2 ~ 位 0

Bit<2:0>:PSW<2:0>-看门狗时钟预分频选择

PSW<2>	PSW<1>	PSW<0>	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.2.10 IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<6>:DT2IE-PWM2 占空中断使能控制

Bit<5>:DT1IE-PWM1 占空中断使能控制

Bit<4>:PWM2IE-PWM2 周期中断使能控制

Bit<3>:PWM1IE-PWM1 周期中断使能控制

Bit<2>:EXIE-外部中断使能控制

Bit<1>:P5ICIE-P5 端口状态改变中断使能

Bit<0>:TCIE-TCC 溢出中断使能控制

- 1:使能
- 0:禁止

3.2.11 IOPAGE1~IOC51 (P5 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HS<7>	P5HS<6>	-	P5HS<4>	P5HS<3>	P5HS<2>	P5HS<1>	-

Port5 输出低电平驱动能力选择

- 1:增强
- 0:正常

P5HS<X>	VDD=5V 灌电流
0	20mA (0.6V)
1	45mA (0.6V)

3.2.12 IOPAGE1~IOC61 (P6 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HS<7>	-	-	-	-	-	-	P6HS<0>

Port6 输出低电平驱动能力选择

- 1:增强
- 0:正常

P6HS<X>	VDD=5V 灌电流
0	20mA (0.6V)
1	45mA (0.6V)

3.2.13 IOPAGE1~IOC71 (P5 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HD<7>	P5HD<6>	-	P5HD<4>	P5HD<3>	P5HD<2>	P5HD<1>	-

Port5 输出高电平驱动能力选择

- 1:增强
- 0:正常

P5HD<X>	VDD=5v 驱动电流
0	5mA (4.4V)
1	12mA (4.4V)

3.2.14 IOPAGE1~IOC81 (P6 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<7>	-	-	-	-	-	-	P6HD<0>

Port6 输出高电平驱动能力选择

- 1:增强
- 0:正常

P6HD<X>	VDD=5v 驱动电流
0	5mA (4.4V)
1	12mA (4.4V)

3.2.15 IOPAGE1~IOCF1 (P6 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	-	-	-	-	-	-	P6PH<0>

Port6 上拉使能控制位

Bit 7 (P6PH<7>)：控制位用于使能 P67 引脚的内部上拉功能.

0：使能内部上拉

1：禁止内部上拉

Bits 6~1：未使用.

Bit 0 (P6PH<0>)：控制位用于使能 P60 引脚的内部上拉功能.

3.3 GPIO 功能模块

YF301M 有 3 组双向 I/O 端口，共 12 个输入，12 个输出，大部分 I/O 可以复用为其它功能。

10 个可编程上拉 I/O 引脚:P5.0~P5.7, P6.0~P6.7;

8 个可编程下拉 I/O 引脚:P5.0~P5.7;

10 个可编程驱动增强 I/O 引脚:P5.1~P5.4, P56, P57, P6.0~P6.7;

2 个可编程漏极开路 I/O 引脚:P6.0、P6.7;

3.3.1 GPIO 寄存器说明

RPAGE0~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

端口输入/输出寄存器，P5 端口为 8 位

P5 为可读可写寄存器

RPAGE0~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	-	-	-	-	-	-	P60

端口输入/输出寄存器，P6 端口为 8 位

P6 为可读可写寄存器

RPAGE0~R7 (PORT7 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	P71	P70

端口输入/输出寄存器，P7 端口为 2 位

P7 为可读可写寄存器

IOPAGE0~IOC50 (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7>	P5CR<6>	P5CR<5>	P5CR<4>	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入 (默认)

0:输出

IOPAGE0~IOC60 (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	-	-	-	-	-	-	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出

IOPAGE0~IOC70 (P7 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	P7CR<1>	P7CR<0>

Bit<1:0>:Port7 方向控制

1:输入 (默认)

0:输出

IOPAGE0~IOCB0 (P5 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PD<7>	P5PD<6>	P5PD<5>	P5PD<4>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Port5 下拉控制

1:禁止 (默认)

0:使能

IOPAGE0~IOCC0 (P6 开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6OD<7>	-	-	-	-	-	-	P6OD<0>

Port6 开漏功能控制

0:禁止 (默认)

1:使能

IOPAGE0~IOCDO (P5 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Port5 上拉控制

1:禁止 (默认)

0:使能

IOPAGE1~IOC51 (P5 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HS<7>	P5HS<6>	-	P5HS<4>	P5HS<3>	P5HS<2>	P5HS<1>	-

Port5 输出低电平驱动能力选择

1:增强

0:正常

P5HS<X>	VDD=5V 灌电流
0	20mA (0.6V)
1	45mA (0.6V)

IOPAGE1~IOC61 (P6 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HS<7>	-	-	-	-	-	-	P6HS<0>

Port6 输出低电平驱动能力选择

- 1:增强
- 0:正常

P6HS<X>	VDD=5v 灌电流
0	20mA (0.6V)
1	45mA (0.6V)

IOPAGE1~IOC71 (P5 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HD<7>	P5HD<6>	P5HD<5>	P5HD<4>	P5HD<3>	P5HD<2>	P5HD<1>	-

Port5 输出高电平驱动能力选择

- 1:增强
- 0:正常

P5HD<X>	VDD=5V 驱动电流
0	5mA (4.4V)
1	12mA (4.4V)

IOPAGE1~IOC81 (P6 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<7>	-	-	-	-	-	-	P6HD<0>

Port6 输出高电平驱动能力选择

- 1:增强
- 0:正常

P6HD<X>	VDD=5V 驱动电流
0	5mA (4.4V)
1	12mA (4.4V)

IOPAGE1~IOCF1 (P6 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	-	-	-	-	-	-	P6PH<0>

Port6 上拉使能控制位

- 1:禁止 (默认)
- 0:使能

3.4 TCC 定时器功能模块

TCC (R1)是一个 8-Bit 上行计数器，只要有时钟就工作。时钟源既可以是内部系统时钟（上升沿触发），也可以选择外部时钟（由 TCC 引脚输入，触发沿可选），如果没有分频控制，每个时钟（Fm/Fs）周期（选择内部时钟）或每个外部时钟周期（外部时钟），计数器实现加 1。系统提供一个 8-Bit 计数器作为 TCC 的预分频器。可以通过 CONT 寄存器设置 TCC 预分频、触发沿、时钟等。

TCC 计数溢出可以形成中断信号。

在 IDLE 模式下，TCC 中断可以唤醒电路。

3.4.1 TCC 定时器寄存器说明

RPAGE0~R1 (TCC 定时计数器)

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TMR 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作 (CONT. 4 位定义)。如果清零 PAB 位 (CONT. 3)，会有一个预分频器分配给 TCC，当 TCC 寄存器被写入一个值时，预分频器的值会被清 0。

RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

CONT (控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

Bit<6>:INT:中断使能标志位

0:由 DISI 指令或硬件中断屏蔽

1:由 ENI 或 RETI 指令使能

Bit<5>:TS:TCC 时钟源选择控制位

1:选择外部时钟（此时 P54 作为 TCC 端口）

0:选择内部系统时钟

Bit<4>:TE:外部时钟触发沿选择控制位

1:选择外部时钟的下降沿作为触发沿

0:选择外部时钟的上升沿作为触发沿

Bit<3>:PSTE:预分频器选择控制位

1:TCC 预分频器使能

0:TCC 预分频器禁止

Bit<2:0>: PST2~PST0:分频系数选择控制位

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16

1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<0>:TCIE-TCC 溢出中断使能控制

1:使能

0:禁止

RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<6>:TIMERSC-TCC/PWM 时钟源选择

1:主时钟

0:副时钟

3.4.2 TCC 定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值（选择作为计时器或计数器及预分频比）；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外灌信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF0 寄存器中的 TCIE（Bit0）为 1，并执行 ENI 指令；
- 5、中断程序部分将自动保存 ACC、STATUS 及 R4 于堆栈器中，执行 RETI 指令后，再自堆栈中取出，退出中断前要清楚 TCC 中断标志位。

3.5 WDT 看门狗功能模块

WDT 是一个 12-Bit 上行计数器，有两重使能控制信号控制（OPTION 中的 ENWDT 和 IOCE 寄存器中的 WDTE 控制位）。计数时钟由单独的振荡器提供，因此在系统进入到睡眠模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位时间由 OPTION 中的控制位 WDTPS 实现选择 4.5ms 或 18ms。

系统提供一个 8-Bit 计数器作为 WDT 的分频器，通过 IOCEO 寄存器设置。

无论是在仿真还是在烧录时，如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTE 位选择“1”。两个条件缺一不可。看门狗定时器(WDT)的计数频率来源为内部的 RC 振荡器，计数频率约为 15kHz（±30%），当 MCU 进入睡眠(Sleep)模式或闲置(Idle)模式时，由于供给 RC 振荡器的电源，并没有关闭，WDT 依然在计数，当 WDT 溢出时，会将 MCU 唤醒且复位。

3.5.1 WDT 看门狗寄存器说明

IOPAGE0~IOCEO (WDT 控制及中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW<2:0>		

Bit<7>:WDTE-WDT 功能控制

- 1:使能
- 0:禁止

Bit<3>:PSWE-看门狗时钟预分频控制

- 1:使能
- 0:禁止

Bit<2:0>:PSW<2:0>-看门狗时钟预分频选择

PSW<2>	PSW<1>	PSW<0>	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.5.2 WDT 看门狗设置说明

- 1、设定 IOCEO 寄存器中 Bit7(WDTE)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 IOCEO 寄存器的 Bit2~Bit0 位；
- 3、如果使能 WDT 唤醒，建议客户禁止其他唤醒。原因:WDT 唤醒和其他唤醒使能，当 WDT 功能的应用同时唤醒时，IC 会优先 reset，而不去执行其他唤醒后的程序，故如果使能 WDT 唤醒，建议客户其他唤醒禁止。

3.6 端口状态改变唤醒功能模块

执行 SLEEP 指令后，系统进入睡眠模式（IDLE=0），系统时钟停止，所有模块停止工作，WDT（若使能）除外。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）继续运行。

3.6.1 睡眠唤醒方式说明

- RESET 脚输入低电平；
- WDT 复位；
- 端口输入状态改变；
- 比较器状态改变；
- AD 转换完成；
- LVD 低压检测；
- 外部中断引脚唤醒；

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

后五种唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转（SLEEP 前执行 ENI），并打开相应的使能控制位，跳转到中断向量的位置。主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.6.2 端口状态改变唤醒寄存器说明

RPAGE0~RE (中断标志 2 及唤醒使能寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	-	ADWE	-	P5ICWE	LVDWE

Bit<1>:P5ICWE-P5 端口状态改变唤醒使能

- 1:使能
- 0:禁止

RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<1>:P5ICIF-P5 端口状态改变中断标志位

- 1:有中断
- 0:无中断

IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<1>:P5ICIE-P5 端口状态改变中断使能

- 1:使能
- 0:禁止（默认）

3.6.3 P5 端口状态改变查询方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、使能端口状态改变独立中断及唤醒控制；
- 4、设置寄存器 RPAGE0-RE 的 P5ICWE 位为 1 使能唤醒功能；
- 5、执行 DISI 指令，不进入中断地址口；
- 6、读取 PORT 端口（如 MOV 0X05, 0X05）；
- 7、执行“SLEP”指令，进入睡眠(IDLE=0)/闲置(IDLE=1)模式；
- 8、唤醒后，执行 SLEP 的下一条指令。

3.6.4 P5 端口状态改变中断方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能端口状态改变独立中断及唤醒控制；
- 4、设置寄存器 RPAGE0-RE 的 ICWE 位为 1，使能唤醒功能；
- 5、使能 PORT 端口状态改变中断；
- 6、执行“ENI”指令，等待进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X05, 0X05）；
- 8、下指令“SLEP”，进入睡眠(IDLE=0)/闲置(IDLE=1)模式；
- 9、唤醒后会进入中断地址口，退出中断后，执行 SLEP 下一条指令。

3.7 LVD 电压检测功能模块

YF301M 具有低电压检测 (LVD) 功能, 总共可编程选择四个电压值, 当 CPU 的工作电压下降到设定值时, CPU 即置中断标志位而发生中断 (若使能 LVD 中断), 且 RPAGE0-RE 寄存器的 Bit6 位被置 1; 而当 CPU 的工作电压由低于设定值上升到高于设定值后, MCU 会再一次置中断标志位而发生中断 (若使能), RPAGE1 RE 寄存器的 Bit7 位被置 1。

3.7.1 LVD 电压检测寄存器说明

RPAGE0~RE (中断标志 2 及唤醒使能寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	-	ADWE	-	P5ICWE	LVDWE

Bit<7>:LVD_FG-低压检测标志位

0: 电源电压低于预设电压检测点

1: 电源电压高于预设电压检测点或低压检测模块未使能

Bit<6>:LVDIF-低压检测中断标志位

1: 有低压检测中断

0: 无低压检测中断

Bit<0>:LVDWE-LVD 唤醒使能

1: 使能

0: 禁止

RPAGE1~RE (LVD 及唤醒控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD<1:0>		-	-	-	EXWE

Bit<7>:LVDIE-LVD 中断控制

1: 使能

0: 禁止

Bit<6>:LVDEN-LVD 功能控制

1: 使能

0: 禁止

Bit<5:4>:LVD<1:0>-LVD 检测点选择

LVD<1>	LVD<0>	LVD 检测点选择
0	0	4.5V
0	1	4.0V
1	0	3.3V
1	1	2.2V

3.7.2 LVD 电压检测设置说明

- 1、设定 LVD 的电压值 (RPAGE1 RE 寄存器的 LVD1 和 LVD0 位);
- 2、使能 LVD 功能 (RPAGE1 RE 寄存器 LVDEN 位);
- 3、使能 LVD 中断 (RPAGE1 RE 寄存器的 LVDIE 位), 执行“ENI”指令 (若需要 LVD 中断);
- 4、在中断子程序或主程序查询 LVDIF 位为 1 后, 再判断 RPAGE0 RE 寄存器的 LVD_FG 位, 执行相应的动作。

3.8 ADC 模数转换功能模块

YF301M 有 8 路输入通道、12 位精度。AD 转换完成可以进入中断,也可以用查询 RPAGE0~R9 的 ADRUN 位来判断。

如果启动了 AD 唤醒功能,AD 转换的完成可以从睡眠模式下唤醒。

AD 采样时间计算方式:

从设置 ADRUN=1 起,完成一次 AD 采样的时间=ADC 采样保持周期+AD 转换时间

AD 转换时间:

AD 转换 1 个 bit 需要一个 TAD 时间,我们总共是 12bit 的 AD,所以转换时间为 12 个 TAD。

3.8.1 ADC 模数转换寄存器说明

RPAGE0~R8 (AD 通道使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE<7>	ADE<6>	ADE<5>	ADE<4>	ADE<3>	ADE<2>	ADE<1>	ADE<0>

Bit<7:0>:ADE<7:0>-AD 通道使能控制位

1:使能

0:禁止

通道编号	使能控制	对应引脚
AD0	ADE<0>	P50
AD1	ADE<1>	P51
AD2	ADE<2>	P52
AD3	ADE<3>	P53
AD4	ADE<4>	P67
AD5	ADE<5>	P70
AD6	ADE<6>	P55
AD7	ADE<7>	P57

AD 通道使能寄存器可读可写

RPAGE0~R9 (ADC 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR<1:0>		ADRUN	ADPD	ADIS<2:0>		

Bit<7>:VREFS-ADC 基准选择

1:外部基准 (从 P54 输入)

0:内部基准

Bit<6:5>:CKR<1:0> (AD 采样基准时钟设置, 设定最小时间单位 TAD 的值)

CPUS	CKR<1>	CKR<0>	ADC 时钟
1	0	0	Fosc/16
1	0	1	Fosc/4
1	1	0	Fosc/64
1	1	1	Fosc/1
0	x	x	Fosc/1

Bit<4>:ADRUN-ADC 启动位

- 1: 启动
- 0: 禁止

Bit<3>:ADPD-ADC 使能位

- 1: 使能
- 0: 禁止

Bit<2:0>:ADIS<2:0>-ADC 通道选择位

ADICS	ADIS<2>	ADIS<1>	ADIS<0>	ADC 通道选择
0	0	0	0	P50
0	0	0	1	P51
0	0	1	0	P52
0	0	1	1	P53
0	1	0	0	P67
0	1	0	1	P70
0	1	1	0	P55
0	1	1	1	P57
1	1	0	0	0.25*VDD

注:Fosc 代表振荡器时钟, 例如选择 IRC 频率选择 4M, 则 Fosc=4M

例如:Fosc=4M, TAD 设置为 Fosc/4, 则 TAD=1uS

RPAGE0~RA (ADC 偏移校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF<2:0>			VREF<1:0>		ADICS

Bit<7>:CALI-ADC 调零校正使能位

- 1: 使能
- 0: 禁止

Bit<6>:SIGN-ADC 校正极性选择

- 1: 正极性
- 0: 负极性

Bit<5:3>:VOF<2:0>-ADC 调零校正位

VOF<2>	VOF<1>	VOF<0>	校正幅度
0	0	0	0 LSB
0	0	1	2 LSB
0	1	0	4 LSB
0	1	1	6 LSB
1	0	0	8 LSB
1	0	1	10 LSB
1	1	0	12 LSB
1	1	1	14 LSB

Bit<2:1>:VREF<1:0>-ADC 内部基准选择

VREF<1>	VREF<0>	
0	0	VDD

VREF<1>	VREF<0>	
0	1	4V
1	0	3V
1	1	2V

Bit<0>:ADICS-ADC 内部通道选择位 (选择 ADC 内部 1/4 VDD 或 OP 输出引脚接至 ADC 输入脚)
 1:使能
 0:禁止

RPAGE0~RB (ADC 结果寄存器 AD11-AD4)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<11>	AD<10>	AD<9>	AD<8>	AD<7>	AD<6>	AD<5>	AD<4>

AD 转换结果高 8 位, AD 转换结束, 自动载入, 只读

RPAGE0~RC (ADC 结果寄存器 AD11-AD8)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	AD<11>	AD<10>	AD<9>	AD<8>

AD 转换结果高 4 位, AD 转换结束, 自动载入, 只读, 其中 bit<7:4> 固定读出 0

RPAGE0~RD (ADC 结果寄存器 AD7-AD0)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<7>	AD<6>	AD<5>	AD<4>	AD<3>	AD<2>	AD<1>	AD<0>

AD 转换结果低 8 位, AD 转换结束, 自动载入, 只读

RPAGE0~RE (中断标志 2 及唤醒控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	-	ADWE	-	P5ICWE	LVDWE

Bit<5>:ADIF-AD 转换结束中断标志位

- 1:有 AD 中断
- 0:无 AD 中断

Bit<3>:ADWE-ADC 唤醒使能

- 1:使能
- 0:禁止

RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<3:2>:SHS<1:0>-ADC 采样保持周期选择位

SHS<1>	SHS<0>	AD 采样保持周期
0	0	2TAD
0	1	4TAD
1	0	8TAD
1	1	12TAD

注:逐次逼近式 AD 转换的精确性、线性和速度由 ADC 和比较器的特性决定。采样电阻直接影响采样保持电容充电所需时间。应用过程控制采样时间长短以满足特定精度的需要。总的来说,对于采样电阻每增加 1K 的阻抗,采样时间要增加至少 2 μ s。建议采样电阻的最大阻抗为 10K。

IOPAGE0~IOCE0 (WDT 控制及中断使能控制寄存器 2)

Bit 7	Bit6	Bit5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	-	PSWE		PSW<2:0>	

Bit<5>:ADIE-ADC 中断使能控制

- 1:使能
- 0:禁止

3.8.2 ADC 模数转换设置说明

- 1、对寄存器 RPAGE0-R8 和 IOCE1 的 ADE15-ADE0 进行设置,使能模拟输入通道;
- 2、设置寄存器 RPAGE0-R9 的 ADIS4:ADIS0,选择 AD 输入通道;设置寄存器 RPAGE0-R9 的 CKR1-CKR0,选择 ADC 的时钟预分频;选择 ADC 的参考电压;置“ADPD=1”开始 AD 供电电压;
- 3、调用 AD 精度校正子程序;
- 4、如果需要用到中断功能,设置 ADIE=1,执行“ENI”指令;
- 5、可以根据需要使能 AD 唤醒功能,设置 ADWE=1;
- 6、置“ADRUN=1”开始 AD 转换;
- 7、可以根据需要选择 IDLE/SLEEP 模式;
- 8、等待中断或 ADRUN 被清 0;如果 AD 中断发生,则离开中断程序时需将 ADIF 清“0”;
- 9、保存转换的结果。如果需要做多次 AD 转换,跳到步骤 5。

3.8.3 ADC 模数转换精度调整说明

- 1、对寄存器 RPAGE0-R8 和 IOCE1 的 ADE15-ADE0 进行设置,使能模拟输入通道;
- 2、设置寄存器 RPAGE0-R9 的 ADIS4:ADIS0,选择 AD 输入通道;设置寄存器 RPAGE0-R9 的 CKR1-CKR0,选择 ADC 的时钟预分频;选择 ADC 的参考电压;置“ADPD=1”打开 ADC 电源;
- 3、设置 ADOC 为 0XF8,使能 ADC 校正位功能,置“ADRUN=1”开始 AD 转换;
- 4、先校正 ADC 位正电压,再校正 ADC 位准负电压,每次校正 2LSB 的电压;
- 5、检测到 AD 值为“0”,则结束 AD 精度校正,即将 ADC 的“CALI”位值为“0”。

3.9 PWM 脉宽调制功能模块

YF301M 内置 2 个带预分频器的计数器，用来产生脉宽调制信号，其中 PWM1、PWM2 两个为 8/10Bit（可配置组合为 16/20Bit）。

3.9.1 PWM 脉宽调制寄存器说明

RPAGE0~RF (中断标志 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<6>:DT2IF-PWM2 占空匹配中断标志位

1:有中断

0:无中断

Bit<5>:DT1IF-PWM1 占空匹配中断标志位

1:有中断

0:无中断

Bit<4>:PWM2IF-PWM2 周期匹配中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM1 周期匹配中断标志位

1:有中断

0:无中断

RPAGE1~R7 (PWM 使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	PWMCAS	PWM2E	PWM1E

Bit<2>:PWMCAS-PWM1 模式选择

1:16-Bit PWM (PWM2 作为高位)

0:8-Bit PWM

Bit<1>:PWM2E-PWM2 功能控制

1:使能 (P51 输出)

0:禁止

Bit<0>:PWM1E-PWM1 功能控制

1:使能 (P67 输出)

0:禁止

RPAGE1~R8 (TMR 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P<2:0>			T1P<2:0>		

Bit<7>:T2EN-TMR2 功能控制

1:使能

0:禁止

Bit<6>:T1EN-TMR1 功能控制

1:使能

0:禁止

Bit<5:3>:T2P<2:0>-TMR2 预分频选择

T2P<2>	T2P<1>	T2P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2:0>:T1P<2:0>-TMR1 预分频选择

T1P<2>	T1P<1>	T1P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

RPAGE1~R9 (PWM1 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

PWM1 周期设定寄存器, 可读可写

RPAGE1~RA (PWM2 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

PWM2 周期设定寄存器, 可读可写

RPAGE1~RB (PWM1 占空寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1<7>	DT1<6>	DT1<5>	DT1<4>	DT1<3>	DT1<2>	DT1<1>	DT1<0>

PWM1 占空设定寄存器, 可读可写

RPAGE1~RC (PWM2 占空寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<7>	DT2<6>	DT2<5>	DT2<4>	DT2<3>	DT2<2>	DT2<1>	DT2<0>

PWM2 占空设定寄存器, 可读可写

RPAGE1~RD (PWM1 和 PWM2 时间和占空比周期的高字节)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<9>	DT2<8>	DT1<9>	DT1<8>	PRD2<9>	PRD2<8>	PRD1<9>	PRD1<8>

PWM1 和 PWM2 时间和占空比周期的高字节, 可读可写

RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<6>:TIMERSC-TCC/PWM 时钟源选择

1:主时钟

0:副时钟

IOPAGE0~IOC90 (TMR1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1<7:0>							

TMR1 寄存器，只读

IOPAGE0~IOCA0 (TMR2 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2<7:0>							

TMR2 寄存器，只读

IOPAGE0~IOCF0 (中断使能 1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<6>:DT2IE-PWM2 占空中断使能控制

1:使能

0:禁止

Bit<5>:DT1IE-PWM1 占空中断使能控制

1:使能

0:禁止

Bit<4>:PWM2IE-PWM2 周期中断使能控制

1:使能

0:禁止

Bit<3>:PWM1IE-PWM1 周期中断使能控制

1:使能

0:禁止

3.9.2 PWM 脉宽调制设置说明

- 1、设置 RPAGE1-R7 和 RPAGE1-R8 和 RPAGE2-R8 寄存器，选择相应的定时器为 PWM 模式、定时器的分频比、定时器中断类型（若使能 PWM 中断）、定时器的时钟源等；
- 2、写 RPAGE1-R9 和 RPAGE1-RA 和 RPAGE2-R9 和 RPAGE2-RA 寄存器的值，确定该 PWM 通道的 Period；
- 3、写 RPAGE1-RB 和 RPAGE1-RC 和 RPAGE2-RB 和 RPAGE2-RC 寄存器的值，确定该 PWM 通道的 Duty；
- 4、使能相应定时器；
- 5、使能或禁止 PWM 对应的定时器中断，并下“ENI”或“DISI”指令（如果需要）。

3.10 中断功能模块

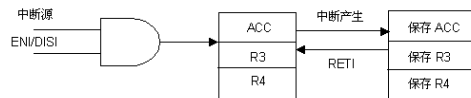
YF301M 具有 10 个中断源，无论是使用其中那一个中断，都必须使总中断使能，即下“ENI”指令。下面分别是每个中断的特性，中断地址及优先级别：

	中断源	使能条件	中断标志	中断向量	优先级
外部	外部中断	ENI + EXIE=1	EXIF	003H	2
外部	端口输入改变	ENI + ICIE=1	ICIF	006H	3
内部	TCC 溢出中断	ENI + TCIE=1	TCIF	009H	4
内部	AD 转换结束中断	ENI + ADIE=1	ADIF	00CH	5
内部	PWM1 周期溢出中断	ENI + HPWTIE =1	HPWTIF	012H	6
内部	PWM2 周期溢出中断	ENI + LPWTIE =1	LPWTIF	015H	7
内部	PWM1 占空比溢出中断	ENI+TCCAIE=1	TCCAIF	018H	8
内部	PWM2 占空比溢出中断	ENI+TCCBIE=1	TCCBIF	01BH	9
内部	低电压检测中断	ENI+LVDIE=1	LVDIF	021H	1

RPAGE0 的 RE 与 RF 为中断状态标志寄存器，它们记录了当某个中断产生中断请求后的中断标志位。IOCE0 与 IOCF0 为中断设置寄存器，中断的允许与禁止在这两个寄存器中设置，RPAGE1 RE 为 LVD 的控制寄存器，LVD 的中断的允许与禁止通过这个寄存器设置。总中断的允许是通过下“ENI”指令，相反，总中断的禁止是通过下“DISI”指令。当一个中断产生时，

它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零，这样才能避免中断的误动作。

当执行中断子程序时，ACC、R3、R4 的内容将会被保留起来，直到离开中断子程序后，被保留的值将会载入 ACC、R3、R4，如此是为了避免在执行中断子程序时，有将 ACC、R3、R4 的值改变，导致回主程序时发生错误。如下图所示：



3.10.1 中断寄存器说明

RPAGE0~RE (中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	-	ADWE	-	P5ICWE	LVDWE

Bit<6>:LVDIF-低压检测中断标志位

1:有低压检测中断

0:无低压检测中断

Bit<5>:ADIF-AD 转换结束中断标志位

1:有 AD 中断

0:无 AD 中断

RPAGE0~RF (中断标志 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<6>:DT2IF-PWM2 占空匹配中断标志位

Bit<5>:DT1IF-PWM1 占空匹配中断标志位

Bit<4>:PWM2IF-PWM2 周期匹配中断标志位

Bit<3>:PWM1IF-PWM1 周期匹配中断标志位

Bit<2>:EXIF 外部中断标志位
 Bit<1>:P5ICIF-P5 端口状态改变中断标志位
 Bit<0>:TCIF-TCC 中断标志位
 1:有中断
 0:无中断

RPAGE1~RE (LVD 及唤醒控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LV DEN	LVD<1:0>		-	-	-	EXWE

Bit<7>:LVDIE-LVD 中断控制
 1:使能
 0:禁止

IOPAGE0~IOCE0 (WDT 控制及中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	-	PSWE	PSW<2:0>		

Bit<6>:EIS-外部中断端口功能选择
 1:作为外部中断口
 0:作为 GPIO
 Bit<5>:ADIE-ADC 中断使能控制
 1:使能
 0:禁止

IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<6>:DT2IE-PWM2 占空中断使能控制
 Bit<5>:DT1IE-PWM1 占空中断使能控制
 Bit<4>:PWM2IE-PWM2 周期中断使能控制
 Bit<3>:PWM1IE-PWM1 周期中断使能控制
 Bit<2>:EXIE-外部中断使能控制
 Bit<1>:ICIE-P5 键盘中断使能控制
 Bit<0>:TCIE-TCC 溢出中断使能控制
 1:使能
 0:禁止

3.11 复位功能模块

3.11.1 复位功能概述

YF301M 系统提供 4 种复位方式

- 1、上电复位
- 2、RESET 脚输入低电平复位
- 3、WDT 看门狗溢出复位
- 4、LVR 低电压复位

第一种复位时间由 OPTION 中的 SUT 选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
1	18ms
0	4.5ms

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.11.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

3.11.3 WDT 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化：所有的系统寄存器被置为默认状态；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

看门狗定时器应用注意事项：

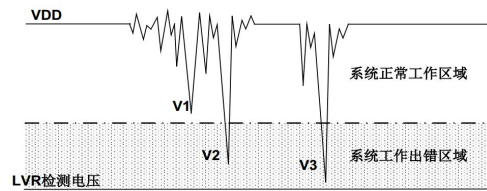
对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；

不能在中断中对看门狗清零，否则无法侦测到主程序跑飞的情况；

程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。

3.11.4 LVR 低电压复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

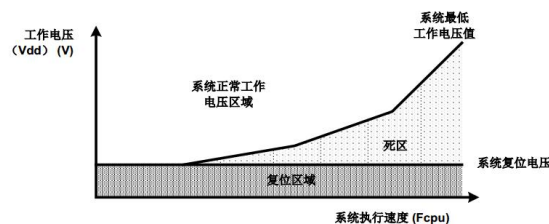
DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVD 检测电压，因此系统维持在死区。

AC 运用中：

系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3.11.5 工作频率与 LVR 低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，要选择相应的 LVR 复位电压点（ $F_{cpu} = \text{振荡器频率} / \text{clocks 分频}$ ；例如 IRC 频率=4M，clocks 分频=2 Clocks，则 $F_{cpu} = 2M$ ；晶振频率类似）。如下表：

F_{cpu}	LVR 复位电压点
$F_{cpu} \leq 2M$	不得低于 1.8V
$2M < F_{cpu} \leq 4M$	不得低于 2.7V
$4M < F_{cpu} \leq 6M$	不得低于 3.5V
$F_{cpu} > 6M$	必须选择 4.0V

3.12 系统时钟功能模块

YF301M 内部集成了 6 种振荡器，可以通过 OPTION 实现相应配置。具体参看下表：

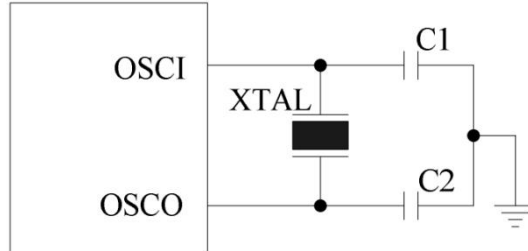
内部振荡器说明

振荡器类型	说明
ERC (外接电阻振荡器)	P55:ERCIN; P70:GPIO
ERC (外接电阻振荡器)	P55:ERCIN; P50:RCOUT
IRC (内置 RC 振荡器)	可以通过 RCM 选择 1M/2M/4M/8M P55:GPIO; P70:GPIO
IRC (内置 RC 振荡器)	可以通过 RCM 选择 1M/2M/4M/8M P55:GPIO; P70:RCOUT
LXT1 (低速晶振)	100K~1M
HXT1 (高速晶振)	12M~16M
LXT2 (低速晶振)	32.768KHz
HXT2 (高速晶振)	6M~12M
XT (晶振)	1M~6M

说明:HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

3.12.1 外部晶体振荡器/陶瓷谐振器 (XT)

在大多数应用中，引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



晶体/振荡器电路

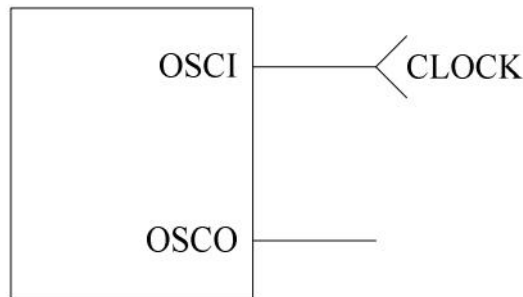
晶体振荡器或陶瓷振荡器的电容选择参考：

振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷振荡器	LXT1 (100K~1M)	100 KHz	60	60
		200 KHz	60	60
		455 KHz	40	40
		1 MHz	30	30
	XT (1M~6M)	1 MHz	30	30
		2 MHz	30	30
		4 MHz	20	20
晶体振荡器	LXT2 (32.768K)	32.768 KHz	40	40
	LXT1 (100K~1M)	100 KHz	60	60
		200 KHz	60	60
		455 KHz	40	40

	XT (1M~6M)	1 MHz	30	30
		1 MHz	30	30
		2 MHz	30	30
		4 MHz	20	20
		6 MHz	30	30
	HXT2 (6M~12M)	6 MHz	30	30
		8 MHz	20	20
		12 MHz	30	30
	HXT1 (12M~16M)	12 MHz	30	30
		16 MHz	20	20

注:以上数据仅供参考,一切以实物测试为准。

YF301M 还可被 OSCI 引脚上的外部时钟信号驱动,其应用图如下:



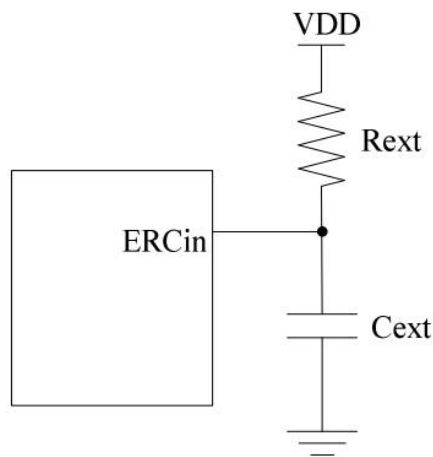
外部时钟示意图

3.12.2 外部 RC 振荡器模式 (ERC)

在一些对时钟精度要求不高的场合应用中,使用 RC 振荡器可以节省部分费用,尽管如此,还是应该注意到,RC 振荡器的频率与电压,电阻值(R_{ext}),电容值(C_{ext}),甚至工作温度均有关,并且各芯片之间由于生产工艺差别,频率也会发生细微变化。

RC 振荡器的电阻值越小,频率越高。另一方面,对于很小的电阻值,例如 1k 欧姆,由于 NMOS 不能正确将电容放电,振荡器将变得不稳定,为了获得稳定的系统频率,电容值不能小于 20pF,电阻值不能大于 1M 欧姆。如果它们不在该范围之内,频率将很容受噪声、湿率及漏电的影响。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。



外部 RC 振荡器模式电路

RC 振荡器频率参考表如下所示，仅供参考：（以下数据为仿真数据，仅供设计参考）

Rext	Cext	频率
5.1K	100p	427.2KHz
	200p	254.4KHz
	300p	189.4KHz

3.12.3 内部 RC 振荡器模式（IRC）

YF301M 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式还有其它频率值如 16MHz，8MHz 和 1MHz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

Firc	IRC 频率
4 M	IRC 频率选为 4MHz
16 M	IRC 频率选为 16MHz
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz

3.12.4 时钟模块应用说明

内部振荡器是最常用的振荡模式，该模式可以省去外接的电路；

在使用外部时钟输入时，时钟信号要从 OSC1 输入，OSC0 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。

3.12.5 主频与功耗选择说明

Fcpu	功耗选择	说明（Fcpu=振荡器频率/clocks 分频）
Fcpu>2M	高速高功耗	当 Fcpu>2M 时，必须选择高速高功耗
Fcpu<=2M	高速高功耗	当 Fcpu<=2M 时，选择高速高功耗，则抗干扰最强，功耗相对来说较高，适用于 AC 供电
Fcpu<=2M	常规	当 Fcpu<=2M 时，选择常规，则功耗相对来说比较低

注：上面提到的功耗，指的是正常工作的电流，不是休眠电流，完全休眠功耗不受此影响。

综上，当供电比较充足，对于芯片的功耗没有要求的时候，不管 Fcpu 是多少，都可以选择高速高功耗。

当供电能力有限，需要考虑芯片功耗，比如电池供电时，建议使用 Fcpu 不要超过 2M，同时功耗选择常规。

4 CODE OPTION 寄存器

CODE OPTION	选项	功能描述
看门狗	使能	WDT 使能
	禁止	WDT 禁止
P71 端口	RESET	P71 作为外部 RESET
	GPIO	P71 作为 GPIO
PWM 选择位	使能	10 bit PWM 功能
	禁止	8 bit PWM 功能
P70_HD/HS	使能	使能 P70 HD/HS 输出
	禁止	禁止 P70 HD/HS 输出
外部中断滤波 (NR)	禁止	外部中断滤波选项禁止
	8Fosc	滤波时间 8Fosc
	32Fosc	滤波时间 32Fosc
低压复位 (LVR)	1. 8V	低压复位点选择 1. 8V
	2. 7V	低压复位点选择 2. 7V
	3. 5V	低压复位点选择 3. 5V
	4V	低压复位点选择 4V
系统时钟预热 (WKCK)	8 Fosc	系统时钟预热时间选择 8Fosc
	32 Fosc	系统时钟预热时间选择 32Fosc
复位时间	4. 5ms	系统建立时间选择 4. 5ms
	18ms	系统建立时间选择 18ms
振荡模式	IRC 模式	振荡模式选择内部 RC 振荡
	ERC 模式	振荡模式选择外部 RC 振荡
	LXT1 模式	外部晶振频率选择 100K~1M
	LXT2 模式	外部晶振频率选择 32. 768K
	HXT1 模式	外部晶振频率选择 12M~16M
	HXT2 模式	外部晶振频率选择 6M~12M
	XT 模式	外部晶振频率选择 1M~6M
P70 端口	GPIO	P70 作为 GPIO
	RCOUT	P70 作为指令周期输出口, 开漏输出禁止
	RCOUT_OD	P70 作为指令周期输出口, 开漏输出使能
IRC 频率	1M	RC 频率选择 1M
	4M	RC 频率选择 4M
	8M	RC 频率选择 8M
	16M	RC 频率选择 16M
Clocks 分频	2Clocks	指令周期选择 2Clocks
	4Clocks	指令周期选择 4Clocks
	8Clocks	指令周期选择 8Clocks
	16Clocks	指令周期选择 16Clocks
副时钟选择	128KHz	副时钟选择 128KHz
	16KHz	副时钟选择 16KHz

P71 端口上拉	禁止	禁止 P71 端口上拉
	使能	使能 P71 端口上拉
功耗选择	高速高功耗	Fcpu>2M 时必选 (Fcpu=振荡器频率/clocks 分频)
	常规	Fcpu<=2M 时可选 (Fcpu=振荡器频率/clocks 分频)

5 芯片电气特性

5.1 芯片极限参数

工作温度(°C):	(√) E:-40~85;
存储温度(°C):	(√) -65~+150
极限电压(V)	(√) 其它___-0.3~6
极限输入电压 (V)	(√) 其它_GND-0.3~VDD+0.5;_
极限输出电压 (V)	(√) 其它_GND-0.3~VDD+0.5;_

5.2 芯片直流参数

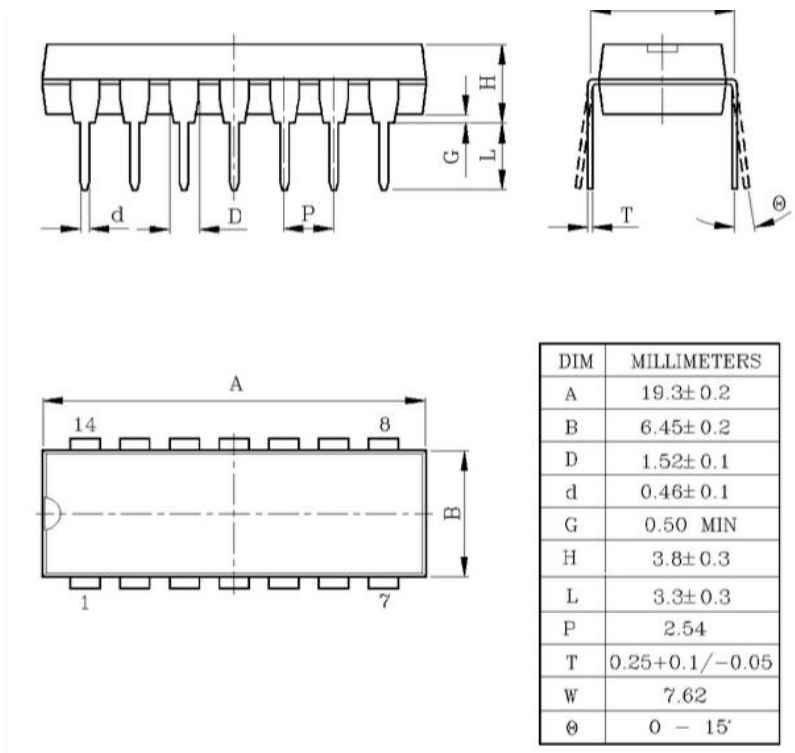
(T=25°C, VDD=5V, GND=0V)

符号	参数说明	条件	最小	典型	最大	单位
ERC	外接阻容振荡	R:5.1KΩ, C:100pf	0.76	0.95	1.14	MHz
IRC1	内置阻容振荡 1 (校正后)	Firc0:Firc1=1:1		4		MHz
IRC2	内置阻容振荡 2 (校正后)	Firc0:Firc1=1:0		16		MHz
IRC3	内置阻容振荡 3 (校正后)	Firc0:Firc1=0:1		8		MHz
IRC4	内置阻容振荡 4 (校正后)	Firc0:Firc1=0:0		1		MHz
VIH1	输入高电平	P5, P6, P70	0.6*VDD		VDD	V
VIL1	输入低电平	P5, P5, P70	-0.3V		0.4*VDD	V
IOH1	输出高电平驱动 (除 P71)	IOH=VDD-0.6V	3.5	4.5	5	mA
IOH2	输出高电平驱动增强(P71)	IOH=VDD-0.6V	8	10	12	mA
IOL1	I0 输出低电平驱动	IOL=GND+0.6V	16	20	23	mA
IOL2	I0 输出低电平驱动增强	IOL= GND+0.6V	40	45	47	mA
RPH1	上拉电阻 (@3v)		125	135	145	KΩ
RPH2	上拉电阻 (@5v)		55	65	75	KΩ
RPL1	下拉电阻 (@3v)		210	220	230	KΩ
RPL2	下拉电阻 (@5v)		110	120	135	KΩ
I _{sb1}	睡眠电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用	0.5	1	2	μA
I _{sb2}	睡眠电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用		10	12	μA
I _{sb3}	睡眠电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用		5	6	μA
I _{op1}	工作电流 1	4MHz, 2clks, WDT、LVD、PWM、AD 禁止	0.8	1	1.2	mA
I _{op2}	工作电流 2	4MHz, 4clks, WDT、LVD、PWM、AD 禁止		0.8	1	mA
LVR	低电压复位电压	选择 V1vr 复位点	V1vr-0.2	V1vr	V1vr+0.2	V
LVD	低压检测电压	选择检测点为 V1vd	V1vd-0.2	V1vd	V1vd+0.2	V

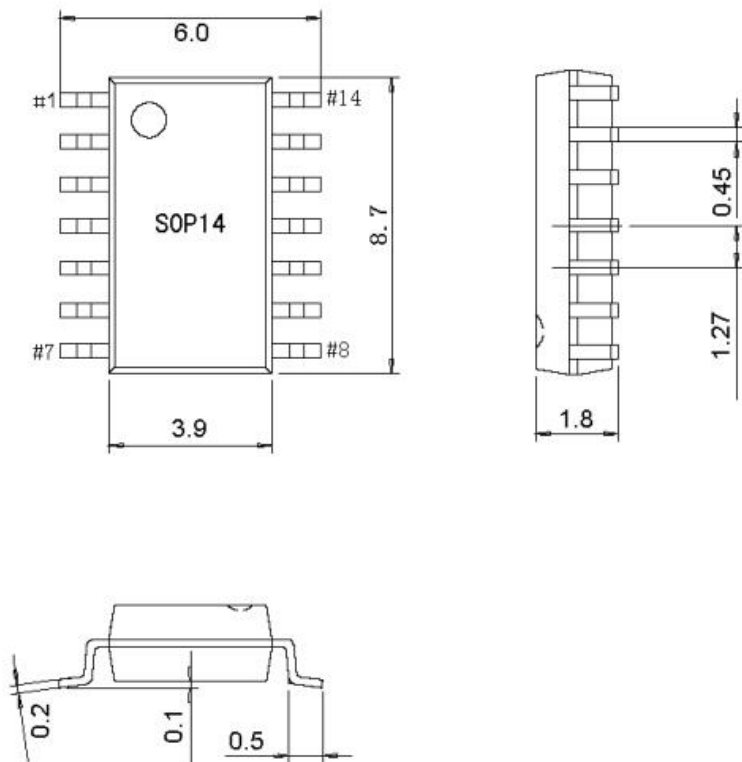
6 封装尺寸信息

6.1 14PIN 封装尺寸

(单位: mm)



DIP14 封装尺寸



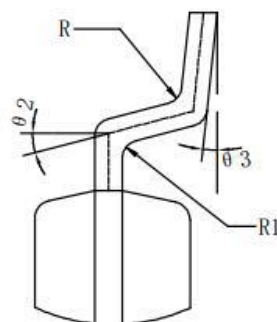
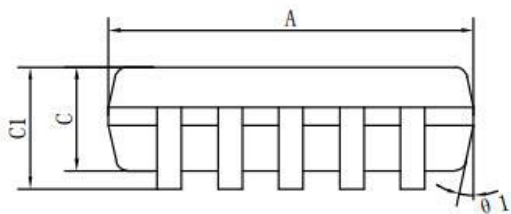
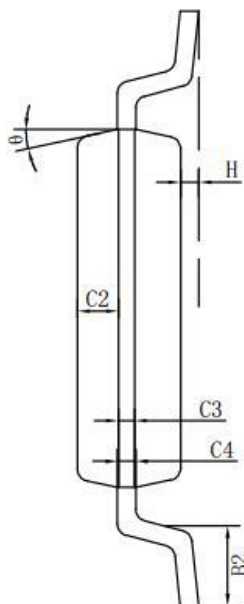
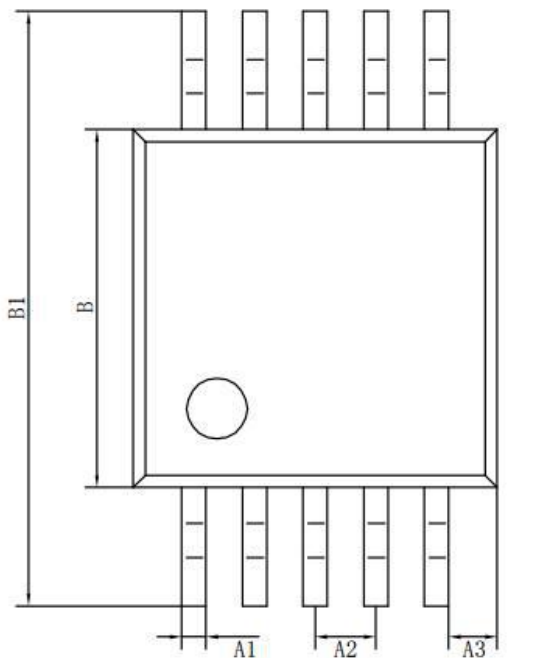
SOP14 封装尺寸

6.2 10PIN 封装尺寸

(单位: mm)

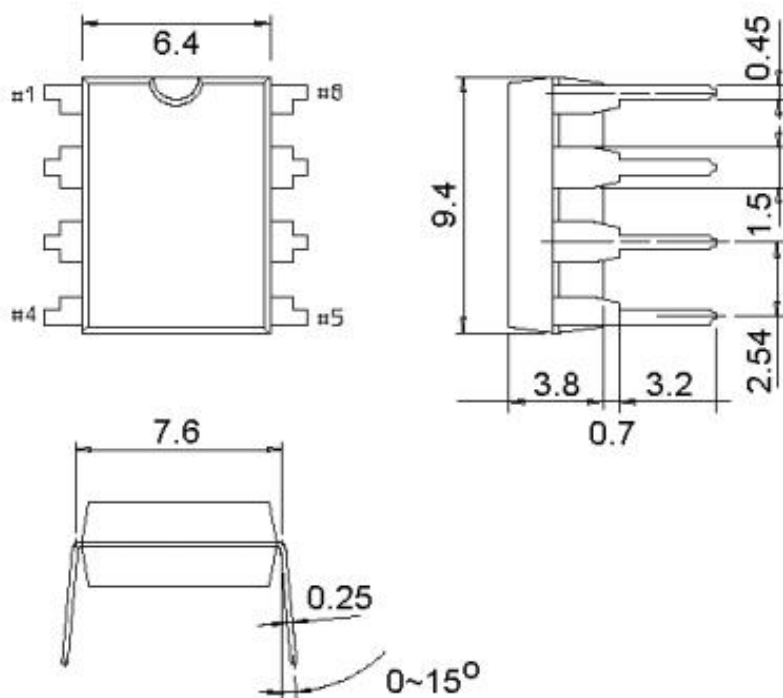
标注	尺寸	最小(mm)	最大(mm)	标注	尺寸	最小(mm)	最大(mm)
A		2.90	3.10	C3		0.152	
A1		0.18	0.25	C4		0.15	0.23
A2		0.50TYP		H		0.00	0.09
A3		0.40TYP		θ		15° TYP4	
B		2.90	3.10	$\theta 1$		12° TYP4	
B1		4.70	5.10	$\theta 2$		14° TYP	
B2		0.45	0.75	$\theta 3$		0° ~ 6°	
C		0.75	0.95	R		0.15TYP	
C1		--	1.10	R1		0.15TYP	
C2		0.328TYP					

* 注EMSOP10产品共用此图所有数据, Die pad exposure大小是根据引线框架设计。

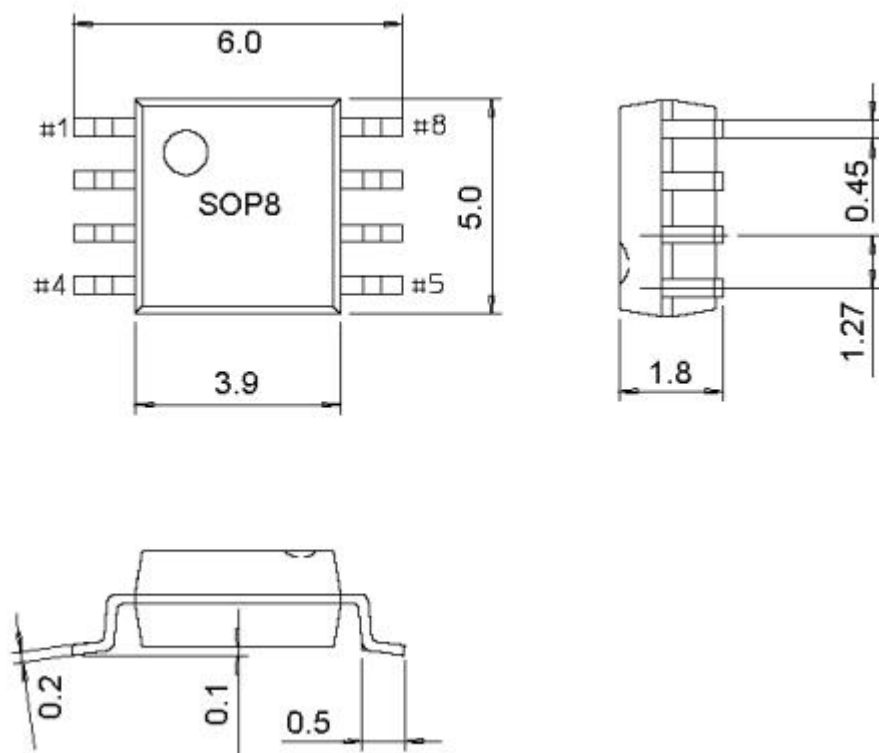


6.3 8PIN 封装尺寸

(单位: mm)



DIP8 封装尺寸



SOP8 封装尺寸