

深圳宇凡微电子有限公司
8-Bit Single-Chip Microcontrollers

YF468J

用户手册 (Ver 2.0)

2018 年 12 月修订



目 录

1 芯片简介	8
1.1 功能特性.....	8
1.2 引脚分配.....	9
1.3 引脚说明.....	10
1.4 系统框图.....	13
2 存储器结构	14
2.1 程序存储器区.....	14
2.2 数据存储器区.....	15
2.2.1 RPAGE 和 Bank 数据寄存器区.....	15
2.2.2 IOPAGE 数据寄存器区.....	16
3 功能模块	17
3.1 操作寄存器.....	17
3.1.1 RPAGE0~R0(间接地址存储器).....	17
3.1.2 RPAGE0~R1(TCC 数据寄存器).....	17
3.1.3 RPAGE0~R2(PC 程序计数器低位).....	17
3.1.4 RPAGE0~R3(STATUS 状态寄存器).....	17
3.1.5 RPAGE0~R4(FSR RAM 选择寄存器).....	18
3.1.6 RPAGE0~R5(PORT5 数据寄存器).....	18
3.1.7 RPAGE0~R6(PORT6 数据寄存器).....	18
3.1.8 RPAGE0~R7(PORT7 数据寄存器).....	19
3.1.9 RPAGE0~R8(PORT8 数据寄存器).....	19
3.1.10 RPAGE0~R9(LCD 控制寄存器).....	19
3.1.11 RPAGE0~RA(LCD-RAM 地址寄存器).....	19
3.1.12 RPAGE0~RB(LCD 数据缓存器).....	20
3.1.13 RPAGE0~RC(计数器使能寄存器).....	20
3.1.14 RPAGE0~RD(系统时钟及状态控制寄存器).....	21
3.1.15 RPAGE0~RE(IR 控制寄存器).....	21
3.1.16 RPAGE0~RF(中断标志寄存器 1).....	22
3.1.17 RPAGE1~R5(P5 输入状态检测使能寄存器).....	22
3.1.18 RPAGE1~R6(P6 输入状态检测使能寄存器).....	22
3.1.19 RPAGE1~R7(P7 输入状态检测使能寄存器).....	22
3.1.20 RPAGE1~R8(P8 输入状态检测使能寄存器).....	23
3.1.21 RPAGE1~R9(PORT9 数据寄存器).....	23
3.1.22 RPAGE1~RA(P9 方向控制寄存器).....	23
3.1.23 RPAGE1~RB(P7 上拉控制寄存器).....	23
3.1.24 RPAGE1~RC(P7 下拉控制寄存器).....	23
3.1.25 RPAGE1~RD(端口驱动能力选择寄存器).....	23
3.1.26 RPAGE1~RE(P9 上拉控制寄存器).....	24
3.1.27 RPAGE1~RF(P9 下拉控制寄存器).....	24
3.1.28 RPAGE2~R5(PWM0 控制寄存器).....	24
3.1.29 RPAGE2~R6(PWM0 周期及占空比高位寄存器).....	25
3.1.30 RPAGE2~R7(PWM0 周期低位控制寄存器).....	25

3.1.31 RPAGE2~R8(PWM0 占空低位控制寄存器).....	25
3.1.32 RPAGE2~R9(PWM1 控制寄存器).....	25
3.1.33 RPAGE2~RA(PWM1&PWM2 周期、占空高位寄存器).....	26
3.1.34 RPAGE2~RB(PWM1 周期低位控制寄存器).....	26
3.1.35 RPAGE2~RC(PWM1 占空低位控制寄存器).....	26
3.1.36 RPAGE2~RD(PWM2 控制寄存器).....	26
3.1.37 RPAGE2~RE(PWM2 周期低位控制寄存器).....	27
3.1.38 RPAGE2~RF(PWM2 占空低位控制寄存器).....	27
3.1.39 RPAGE3~R5(PWM 死区控制寄存器).....	27
3.1.40 RPAGE3~R6(PWM 极性及时钟控制寄存器).....	28
3.1.41 RPAGE3~R7(PWM 死区时钟及输出控制寄存器).....	28
3.1.42 RPAGE3~R8(LVD 控制寄存器).....	29
3.1.43 RPAGE3~R9(唤醒使能控制寄存器 1).....	30
3.1.44 RPAGE3~RA(唤醒使能控制寄存器 2).....	30
3.1.45 RPAGE3~RB(中断使能控制寄存器 2).....	30
3.1.46 RPAGE3~RC(中断标志寄存器 2).....	30
3.1.47 RPAGE3~RE(P7 功能选择寄存器).....	30
3.1.48 RPAGE3~RF(P8 功能选择寄存器).....	31
3.1.49 RPAGE4~R5(查表指令高位地址寄存器).....	31
3.1.50 RPAGE4~R6(查表指令低位地址寄存器).....	31
3.1.51 RPAGE4~R7(PLL 系数低位选择寄存器).....	31
3.1.52 RPAGE4~R8(PLL 系数低位选择寄存器).....	31
3.1.53 RPAGE4~R9(PWM 输出选择寄存器).....	32
3.2 控制寄存器.....	33
3.2.1 IOPAGE0~IOC50(P5 方向控制&P7, P8 功能选择寄存器).....	33
3.2.2 IOPAGE0~IOC60(P6 方向控制寄存器).....	33
3.2.3 IOPAGE0~IOC70(P7 方向控制寄存器).....	33
3.2.4 IOPAGE0~IOC80(P8 方向控制寄存器).....	33
3.2.5 IOPAGE0~IOC90(间接寻址指针寄存器).....	34
3.2.6 IOPAGE0~IOCA0(间接寻址数据寄存器).....	34
3.2.7 IOPAGE0~IOCB0(CNT1 初值寄存器).....	34
3.2.8 IOPAGE0~IOCC0(CNT2 初值寄存器).....	34
3.2.9 IOPAGE0~IOCD0(高电平脉宽定时器预设值寄存器).....	34
3.2.10 IOPAGE0~IOCE0(低电平脉宽定时器预设值寄存器).....	34
3.2.11 IOPAGE0~IOCF0(中断使能控制寄存器 1).....	35
3.2.12 IOPAGE1~IOC51(P5 上下拉控制寄存器).....	35
3.2.13 IOPAGE1~IOC61(PORT 唤醒使能寄存器).....	35
3.2.14 IOPAGE1~IOC71(TCC 控制寄存器).....	36
3.2.15 IOPAGE1~IOC81(WDT 控制寄存器).....	36
3.2.16 IOPAGE1~IOC91(CNT1/2 控制寄存器).....	37
3.2.17 IOPAGE1~IOCA1(H/LPWT 控制寄存器).....	38
3.2.18 IOPAGE1~IOCB1(P6 上拉控制寄存器).....	38
3.2.19 IOPAGE1~IOCC1(P6 开漏控制寄存器).....	39
3.2.20 IOPAGE1~IOCD1(P8 上拉控制寄存器).....	39
3.2.21 IOPAGE1~IOCE1(P6 下拉控制寄存器).....	39

3.2.22 IOPAGE1~IOCF1(P8 下拉控制寄存器).....	39
3.3 GPIO 功能模块.....	40
3.3.1 GPIO 寄存器说明.....	40
RPAGE0~R5(PORT5 数据寄存器).....	40
RPAGE0~R6(PORT6 数据寄存器).....	40
RPAGE0~R7(PORT7 数据寄存器).....	40
RPAGE0~R8(PORT8 数据寄存器).....	40
RPAGE1~R9(PORT9 数据寄存器).....	40
RPAGE1~RA(P9 方向控制寄存器).....	40
RPAGE1~RB(P7 上拉控制寄存器).....	40
RPAGE1~RC(P7 下拉控制寄存器).....	41
RPAGE1~RD(端口驱动能力选择寄存器).....	41
RPAGE1~RE(P9 上拉控制寄存器).....	41
RPAGE1~RF(P9 下拉控制寄存器).....	41
RPAGE3~RE (P7 功能选择寄存器).....	41
RPAGE3~RF (P8 功能选择寄存器).....	41
IOPAGE0~IOC50(P5 方向控制&P7, P8 功能选择寄存器).....	41
IOPAGE0~IOC60(P6 方向控制寄存器).....	42
IOPAGE0~IOC70(P7 方向控制寄存器).....	42
IOPAGE0~IOC80(P8 方向控制寄存器).....	42
IOPAGE1~IOC51(P5 上下拉控制寄存器).....	42
IOPAGE1~IOCB1(P6 上拉控制寄存器).....	43
IOPAGE1~IOCC1(P6 开漏控制寄存器).....	43
IOPAGE1~IOCD1(P8 上拉控制寄存器).....	43
IOPAGE1~IOCE1(P6 下拉控制寄存器).....	43
IOPAGE1~IOCF1(P8 下拉控制寄存器).....	43
3.4 TCC 定时器功能模块.....	44
3.4.1 TCC 定时器寄存器说明.....	44
RPAGE0~R1(TCC 定时计数器).....	44
RPAGE0~RD(系统时钟及状态控制寄存器).....	44
RPAGE0~RE(IR 控制寄存器).....	44
RPAGE0~RF(中断标志寄存器 1).....	44
RPAGE3~R9(唤醒使能寄存器 1).....	44
IOPAGE0~IOCF0(中断使能控制寄存器 1).....	45
IOPAGE1~IOC71(TCC 控制寄存器).....	45
3.4.2 TCC 定时设置说明.....	45
3.5 WDT 看门狗功能模块.....	46
3.5.1 WDT 看门狗寄存器说明.....	46
RPAGE3~RA(唤醒使能控制寄存器 2).....	46
RPAGE3~RB(中断使能控制寄存器 2).....	46
RPAGE3~RC(中断标志寄存器 2).....	46
IOPAGE1~IOC81(WDT 控制寄存器).....	46
3.5.2 WDT 看门狗设置说明.....	47
3.6 唤醒功能模块.....	48
3.6.1 睡眠唤醒方式说明.....	48

3.6.2 端口状态改变唤醒寄存器说明.....	48
RPAGE0~RF(中断标志寄存器 1).....	48
RPAGE1~R5(P5 输入状态检测使能寄存器).....	48
RPAGE1~R6(P6 输入状态检测使能寄存器).....	48
RPAGE1~R7(P7 输入状态检测使能寄存器).....	48
RPAGE1~R8(P8 输入状态检测使能寄存器).....	49
RPAGE3~R9(唤醒使能控制寄存器 1).....	49
RPAGE3~RA(唤醒使能控制寄存器 2).....	49
IOPAGE0~IOCF0(中断使能寄存器 1).....	49
IOPAGE1~IOC61(PORT 唤醒使能寄存器).....	49
3.6.3 端口状态改变查询方式唤醒设置.....	50
3.6.4 端口状态改变中断方式唤醒设置.....	50
3.7 LVD 电压检测功能模块.....	51
3.7.1 LVD 电压检测寄存器说明.....	51
RPAGE3~R8(LVD 控制寄存器).....	51
RPAGE3~RA(唤醒使能控制寄存器 2).....	52
RPAGE3~RB(中断使能控制寄存器 2).....	52
RPAGE3~RC(中断标志寄存器 2).....	52
3.7.2 LVD 电压检测设置说明.....	52
3.8 LCD 驱动功能模块.....	53
3.8.1 LCD 驱动寄存器说明.....	53
RPAGE0~R9(LCD 控制寄存器).....	53
RPAGE0~RA(LCD-RAM 地址寄存器).....	53
RPAGE0~RB(LCD 数据缓存器).....	54
RPAGE0~RD(系统时钟控制寄存器).....	54
3.8.2 LCD 模块功能设置说明.....	54
3.9 PWM 脉宽调制功能模块.....	55
3.9.1 PWM 脉宽调制寄存器说明.....	55
RPAGE0~RE(IR 控制寄存器).....	55
RPAGE2~R5(PWM0 控制寄存器).....	55
RPAGE2~R6(PWM0 周期及占空比高位寄存器).....	55
RPAGE2~R7(PWM0 周期低位控制寄存器).....	56
RPAGE2~R8(PWM0 占空低位控制寄存器).....	56
RPAGE2~R9(PWM1 控制寄存器).....	56
RPAGE2~RA(PWM1&PWM2 周期、占空高位寄存器).....	57
RPAGE2~RB(PWM1 周期低位控制寄存器).....	57
RPAGE2~RC(PWM1 占空低位控制寄存器).....	57
RPAGE2~RD(PWM2 控制寄存器).....	57
RPAGE2~RE(PWM2 周期低位控制寄存器).....	58
RPAGE2~RF(PWM2 占空低位控制寄存器).....	58
RPAGE3~R5(PWM 死区控制寄存器).....	58
RPAGE3~R6(PWM 极性 & 死区时钟控制寄存器).....	59
RPAGE3~R7(PWM 死区时钟及输出控制寄存器).....	59
RPAGE3~RA(唤醒使能控制寄存器 2).....	60
RPAGE3~RB(中断使能控制寄存器 2).....	60

RPAGE3~RC(中断标志寄存器 2).....	60
RPAGE4~R9(PWM 输出选择寄存器).....	60
IOPAGE1~IOC61(PORT 唤醒使能寄存器).....	61
3.9.2 PWM 脉宽调制设置说明.....	61
3.9.3 PWM 脉宽调制互补设置说明.....	61
3.9.4 PWM 脉宽调制死区设置说明.....	61
3.9.5 PWM 脉宽调制倍频设置说明.....	62
3.9.6 PWM 脉宽调制级联设置说明.....	62
3.9.7 PWM 脉宽调制刹车设置说明.....	62
3.9.8 PWM 脉宽调制逻辑与输出设置说明.....	63
3.9.9 PWM 脉宽调制周期唤醒设置说明.....	63
3.10 计数器功能模块.....	64
3.10.1 计数器寄存器说明.....	64
RPAGE0~RC(计数器使能寄存器).....	64
RPAGE0~RF(中断标志寄存器 1).....	64
RPAGE3~R9(唤醒使能寄存器 1).....	64
IOPAGE0~IOCBO(CNT1 初值寄存器).....	64
IOPAGE0~IOCCO(CNT2 初值寄存器).....	64
IOPAGE0~IOCF0(中断使能控制寄存器 1).....	65
IOPAGE1~IOC91(CNT1/2 控制寄存器).....	65
3.10.2 计数器设置说明.....	66
3.11 中断功能模块.....	67
3.11.1 中断寄存器说明.....	67
RPAGE0~RC(计数器使能寄存器).....	67
RPAGE0~RE(IR 控制寄存器).....	68
RPAGE0~RF(中断标志寄存器 1).....	68
RPAGE3~RB(中断使能控制寄存器 2).....	69
RPAGE3~RC(中断标志寄存器 2).....	69
IOPAGE0~IOCF0(中断使能控制寄存器 1).....	69
IOPAGE1~IOC71(TCC 控制寄存器).....	69
3.11.2 外部中断 INTO 设置说明.....	70
3.12 复位功能模块.....	71
3.12.1 复位功能概述.....	71
3.12.2 上电复位.....	71
3.12.3 WDT 看门狗复位.....	71
3.12.4 掉电复位.....	72
3.12.5 工作频率与 LVR 低压检测关系.....	72
3.13 系统时钟功能模块.....	73
3.13.1 外部晶体振荡器/陶瓷谐振器(XT).....	73
3.13.2 带内部电容的 RC 振荡模式(ERIC).....	73
3.13.3 内部 RC 振荡器模式(IRC).....	74
3.13.4 锁相环(PLL 模式).....	74
RPAGE0~RD(系统时钟控制寄存器).....	74
3.13.5 时钟模块应用说明.....	75
4 封装类型.....	75

5 封装尺寸信息	76
5.1 QFP64 封装尺寸.....	77
5.2 LQFP64 封装尺寸.....	77
5.3 QFP44 封装尺寸.....	78
5.4 LQFP44 封装尺寸.....	79

1 芯片简介

1.1 功能特性

CPU 配置

- 4K×16-Bit OTP ROM
- 144 字节通用寄存器
- 128 字节片内 RAM
- 8 级堆栈空间
- 8 级可编程低电压检测 (LVD)
3.9V, 3.6V, 3.3V, 3.0V
2.7V, 2.4V, 2.2V, 2.0V
- 7 级可编程电压复位 (LVR)
3.3V, 3.0V, 2.7V, 2.4V
1.8V, 1.6V, 1.2V

I/O 配置

- 5 组双向 I/O 端口:P5, P6, P7, P8, P9
- 33 个 I/O 引脚
- 唤醒端口:P5 口, P6 口, P7 口, P8 口
- 32 个可编程上下拉 I/O 引脚
- 9 个可编程漏极开路 I/O 引脚
- 32 个可编程驱动增强 I/O 引脚

工作电压

- 工作电压范围:
2V~5.5V (0°C-70°C)
2.3V~5.5V (-40°C-85°C)

工作频率

- 内置 IRC 振荡电路:
16MHz, 8MHz, 4MHz, 2MHz
1MHz, 455K
- ERIC 振荡电路;
- 外置 XT 振荡电路;
- 时钟周期分频选择:
2Clock, 4Clock, 8Clock, 16Clock

外围模块

- 8Bit 实时时钟/计数器
- 1 个红外发射器
- 3*10BitPWM 支持互补输出(4 组共 12 路输出)
- PWM 输出极性可选, 死区可调, 可级联, 刹车功能(外部中断触发)
- PWM0 支持低速晶振模式唤醒(外接低速晶振)

中断源

- RTC 中断
- TCC 溢出中断
- 外部中断 INTO, INT1
- 输入端口状态改变中断
- 计数器 1, 计数器 2 中断
- 低电压检测 (LVD) 中断
- 高/低电平脉宽中断
- 3 路 PWM 周期中断
- 看门狗中断

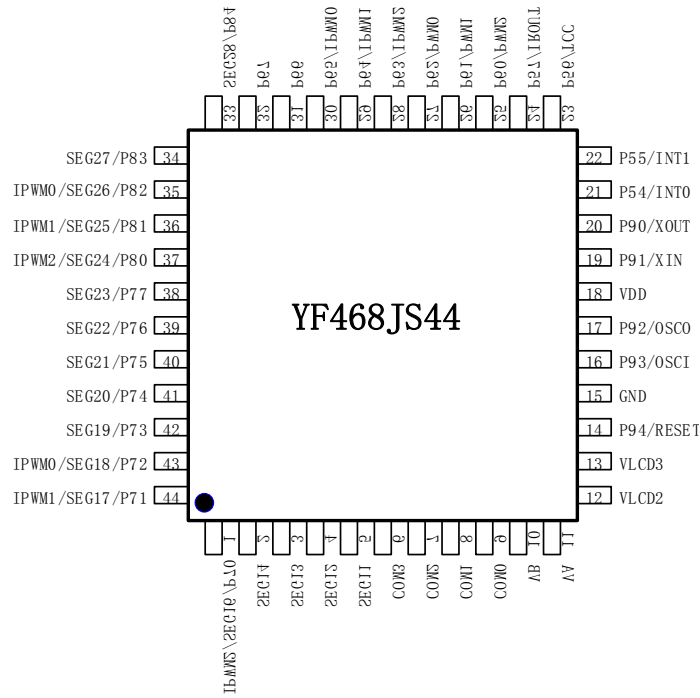
LCD 模块

- 4 个公共驱动引脚
- 32 个字段驱动引脚
- LCD 偏压:1/3, 1/2 偏压
- LCD 占空比:1/4, 1/3, 1/2 占空比

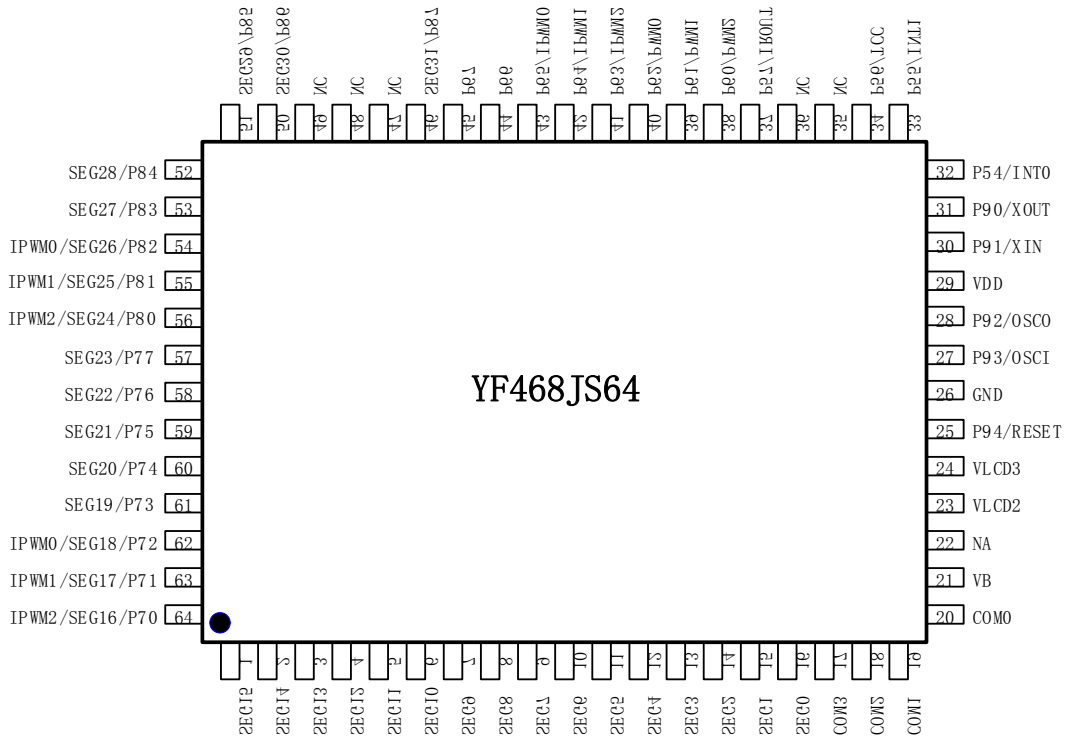
封装类型

- YF468J-QFP64;
- YF468J-LQFP64;
- YF468J-QFP44;
- YF468J-LQFP44;

1.2 引脚分配



YF468J-44PIN 脚位图



YF468J-64PIN 脚位图

1.3 引脚说明

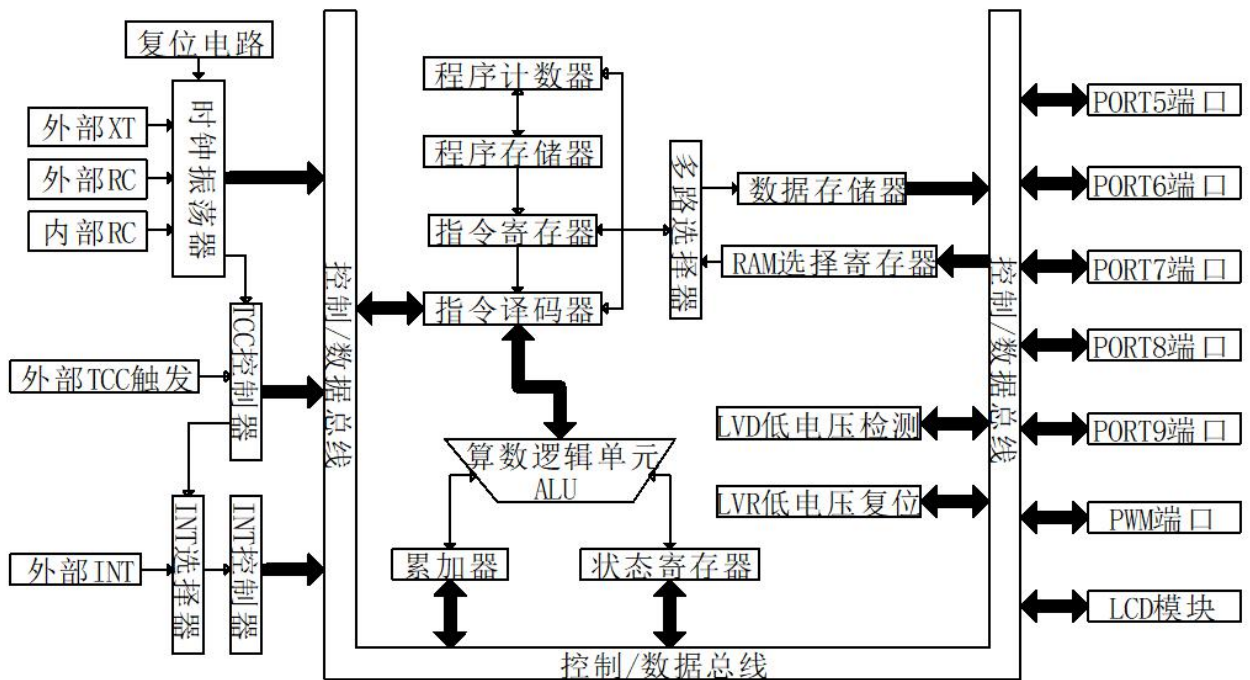
序号	管脚名	I/O	功能描述
1~16	SEG15~0	0	LCD 段输出
17~20	COM3~0	0	LCD 公共端输出
21	VB	I	分压电容输入端
22	VA	I	分压电容输入端
23	VLCD2	0	LCD 偏压输出
24	VLCD3	0	LCD 偏压输出
25	P94	I/O	GPIO, 可编程上拉、开漏输出、高驱动
	RESET	I	外部复位端
26	GND	--	地
27	P93	I	GPIO, 可编程上下拉、高驱动
	OSCI	I	高速晶振输入端
28	P92	I	GPIO, 可编程上下拉
	OSCO	I	高速晶振输出端
29	VDD	--	电源
30	P91	I	GPIO, 可编程上下拉、高驱动
	XIN	I	低速晶振输入端
31	P90	I	GPIO, 可编程上下拉、高驱动
	XOUT	I	低速晶振输出端
32	P54	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	INT0	I	外部中断输入口
33	P55	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	INT1	I	外部中断输入口
34	P56	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒

	TCC	I	TCC 外部时钟输入口
35~36	NC	--	NC
37	P57	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	IROUT	0	PWM 输出口
38	P60	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
	PWM2	0	PWM2 输出
39	P61	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
	PWM1	0	PWM1 输出
40	P62	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
	PWM0	0	PWM0 输出
41	P63	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
	IPWM2	0	PWM2 互补输出
42	P64	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
	IPWM1	0	PWM1 互补输出
43	P65	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
	IPWM0	0	PWM0 互补输出
44	P66	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
45	P67	I/O	GPIO, 可编程上下拉、高驱动、开漏输出、端口唤醒
46	P87	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG31	0	LCD 段输出
47~49	NC	--	NC
50	P86	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG30	0	LCD 段输出
51	P85	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG29	0	LCD 段输出

52	P84	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG28	0	LCD 段输出
53	P83	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG27	0	LCD 段输出
54	P82	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG26	0	LCD 段输出
	IPWM0	CMOS 输出	PWM0 互补输出
55	P81	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG25	0	LCD 段输出
	IPWM1	CMOS 输出	PWM1 互补输出
56	P80	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG24	0	LCD 段输出
	IPWM2	CMOS 输出	PWM2 互补输出
57	P77	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG23	0	LCD 段输出
58	P76	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG22	0	LCD 段输出
59	P75	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG21	0	LCD 段输出
60	P74	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG20	0	LCD 段输出
61	P73	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG19	0	LCD 段输出
62	P72	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG18	0	LCD 段输出

	IPWM0	CMOS 输出	PWM0 互补输出
63	P71	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG17	0	LCD 段输出
	IPWM1	CMOS 输出	PWM1 互补输出
64	P70	I/O	GPIO, 可编程上下拉、高驱动、端口唤醒
	SEG16	0	LCD 段输出
	IPWM2	CMOS 输出	PWM2 互补输出

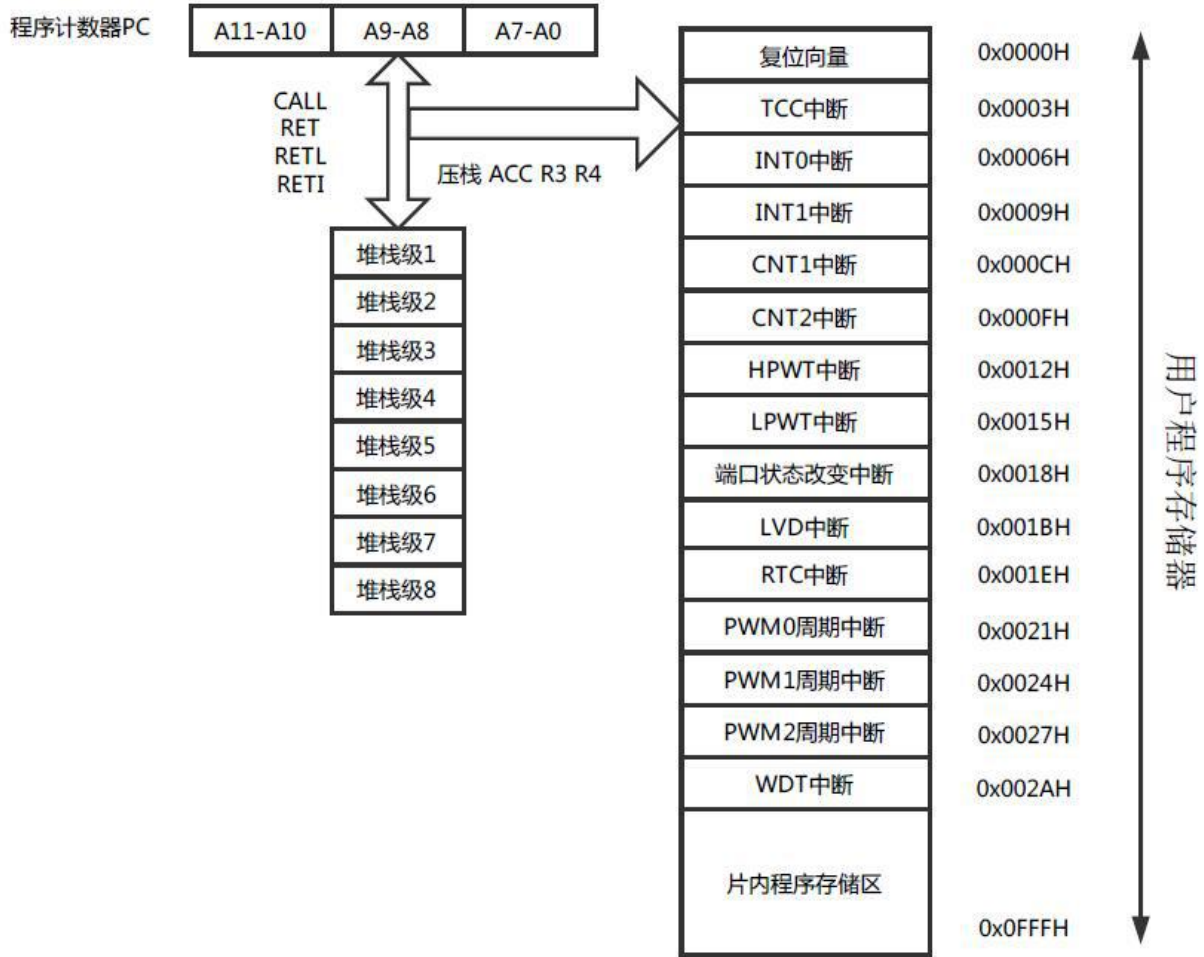
1.4 系统框图



系统结构框图

2 存储器结构

2.1 程序存储器区



程序存储器区结构图

2.2 数据存储区

2.2.1 RPAGE 和 Bank 数据寄存器区

地址	BANK0	BANK1	BANK2	BANK3	BANK4
0x00	间接寻址存储器				
0x01	TCC 定时计数器				
0x02	PC 程序计数器低位				
0x03	STATUS 状态寄存器				
0x04	FSR RAM 选择寄存器				
0x05	PORT5 数据	P5 输入检测使能	PWM0 控制寄存器	PWM 死区控制	查表地址高位
0x06	PORT6 数据	P6 输入检测使能	PWM0 周期及占空高位	PWM 极性选择	查表地址低位
0x07	PORT7 数据	P7 输入检测使能	PWM0 周期低位	PWM 输出控制	PLL 系数低位
0x08	PORT8 数据	P8 输入检测使能	PWM0 占空低位	LVD 控制寄存器	PLL 系数高位
0x09	LCD 控制	PORT9 数据	PWM1 控制	唤醒使能控制 1	PWM 输出选择
0x0A	LCD 地址	PORT9 方向控制	PWM1/2 周期及占空高位	唤醒使能控制 2	
0x0B	LCD 数据	PORT7 上拉控制	PWM1 周期低位	中断使能控制寄存器 2	
0x0C	计数器控制	PORT7 下拉控制	PWM1 占空低位	中断标志寄存器 2	
0x0D	系统时钟控制	PORT 驱动能力选择	PWM2 控制	保留	
0x0E	IR 控制寄存器	PORT9 上拉控制	PWM2 周期低位	PORT7 功能选择	
0x0F	中断标志寄存器 1	PORT9 下拉控制	PWM2 占空低位	PORT8 功能选择	
10 [~] 1 F	通用数据寄存器				
20 [~] 3 F	通用数据寄存器	通用数据寄存器	通用数据寄存器	通用数据寄存器	

2.2.2 IOPAGE 数据寄存器区

地址	IOPAGE0 页面寄存器	IOPAGE1 页面寄存器
0x00	保留	保留
0x01	保留	保留
0x02	保留	保留
0x03	保留	保留
0x04	保留	保留
0x05	IOC50 P5 方向控制寄存器	IOC51 P5 上下拉控制寄存器
0x06	IOC60 P6 方向控制寄存器	IOC61 唤醒使能寄存器
0x07	IOC70 P7 方向控制寄存器	IOC71 TCC 控制寄存器
0x08	IOC80 P8 方向控制寄存器	IOC81 WDT 控制寄存器
0x09	IOC90 RAM 地址选择	IOC91 CNT1/2 控制寄存器
0x0A	IOCA0 间接寻址存储器	IOCA1 高/低脉冲控制寄存器
0x0B	IOCB0 CNT1 初值寄存器	IOCB1 P6 上拉控制寄存器
0x0C	IOCC0 CNT2 初值寄存器	IOCC1 P6 开漏控制寄存器
0x0D	IOCD0 高脉冲初值寄存器	IOCD1 P8 上拉控制寄存器
0x0E	IOCE0 低脉冲初值寄存器	IOCE1 P6 下拉控制寄存器
0x0F	IOCF0 中断使能控制寄存器 1	IOCF1 P8 上拉控制寄存器

3 功能模块

3.1 操作寄存器

3.1.1 RPAGE0~R0 (间接地址存储器)

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4 (RAM 选择寄存器) 低 6 位 RAMS<5:0> 所指向的数据。

3.1.2 RPAGE0~R1 (TCC 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 数据寄存器，可读可写

3.1.3 RPAGE0~R2 (PC 程序计数器低位)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL<7:0>							

PC 指针低位寄存器，可读可写

3.1.4 RPAGE0~R3 (STATUS 状态寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	PS<1:0>		T	P	Z	DC	C

Bit<6:5>:PS<1:0>-程序页面选择位

PS1	PS0	ROM 页面
0	0	0 页面 (000~3FF)
0	1	1 页面 (400~7FF)
1	0	2 页面 (800~BFF)
1	1	3 页面 (C00~FFF)

Bit<4>:T-WDT 溢出标志

1:未溢出(执行“SLEEP”和“WDTC”指令或低压复位，可实现置 1)

0:溢出

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0

Bit<3>:P-休眠标志位

- 1:未执行过休眠-slep 指令(上电复位或执行“WDTC”指令, 可实现置 1)
- 0:执行过休眠-slep 指令

Bit<2>:Z-零标志位

- 1:当算术或者逻辑运算结果为 0
- 0:当算术或者逻辑运算结果不为 0

Bit<1>:DC-辅助进位

- 1:执行加法运算时, 低四位有进位产生;
执行减法运算时, 低四位没有产生借位;
- 0:执行加法运算时, 低四位没有进位产生;
执行减法运算时, 低四位产生借位;

Bit<0>:C-进位

- 1:执行加法运算时, 高四位有进位产生; /执行减法运算时, 高四位没有产生借位
- 0:执行加法运算时, 高四位没有进位产生; /执行减法运算时, 高四位产生借位

除 bit4/3 只读, 其余为可读可写

3.1.5 RPAGE0~R4 (FSR RAM 选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RPAGE<1:0>		FSR<5:0>					

Bit<7:6>:RPAGE<1:0>-通用数据寄存器 BANK 选择

RBS1	RBS0	RAM BANK
0	0	BANK0
0	1	BANK1
1	0	BANK2
1	1	BANK3

注:通用数据的 BANK 仅能通过对 R4-bit<7:6>赋值来实现; bank 指令用于选择系统特殊寄存器 BANK

Bit<5:0>: FSR<5:0>-间接寻址时, R0 对应的地址信息;

3.1.6 RPAGE0~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5<7:4>				--	--	Pch_rden	IOCPAGE

Bit<7:4> :PORT5 数据寄存器

Bit<1>:Pch_rden-PC 高位地址读使能

- 1:使能, 此时访问 RPAGE1-R5 低 4 位数据对应 PC<11:8>
- 0:禁止

Bit<0>:IOCPAGE-IO 页面选择控制

- 1:选择 IOC1 页面
- 0:选择 IOC0 页面

PORT5 数据寄存器, 可读可写

3.1.7 RPAGE0~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6<7:0>							

PORT6 数据寄存器，可读可写

3.1.8 RPAGE0~R7 (PORT7 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7<7:0>							

PORT7 数据寄存器，可读可写

3.1.9 RPAGE0~R8 (PORT8 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8<7:0>							

PORT8 数据寄存器，可读可写

3.1.10 RPAGE0~R9 (LCD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BS	DS<1:0>		LCDEN	--	LCDTYPE	LCDF<1:0>	

Bit<7>:BS-LCD 偏压选择

1:1/3 偏压

0:1/2 偏压

Bit<6:5>:DS<1:0>-LCD Duty 选择

DS1	DS0	LCD DUTY
0	0	1/2 Duty
0	1	1/3 Duty
1	X	1/4 Duty

Bit<4>:LCDEN-LCD 使能控制位

0:禁止(所有 SEG/COM 输出低电平)

1:使能

Bit<2>:LCDTYPE-LCD 波形选择

0:A TYPE

1:B TYPE

Bit<1:0>:LCDF<1:0>-LCD 帧频选择

LCDF1	LCDF0	LCD 帧频选择 (FS=32.768K)		
		1/2 Duty	1/3 Duty	1/4 Duty
0	0	FS/(256*2)=64.0	FS/(172*2)=63.5	FS/(128*2)=64.0
0	1	FS/(280*2)=58.5	FS/(188*2)=58.0	FS/(140*2)=58.5
1	0	FS/(304*2)=53.9	FS/(204*2)=53.5	FS/(152*2)=53.9
1	1	FS/(232*2)=70.6	FS/(156*2)=70.0	FS/(116*2)=70.6

寄存器可读可写

3.1.11 RPAGE0~RA (LCD-RAM 地址寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	LCD_A<4:0>				

Bit<4:0>: LCD_A <4:0>-LCD RAM 地址选择

RA	RB (LCD 数据缓存器)				SEG
LCD_A<4:0>	LCD_D3	LCD_D2	LCD_D1	LCD_D0	
00H	-	-	-	-	SEG0
01H	-	-	-	-	SEG1
02H					SEG2
1DH	-	-	-	-	SEG29
1EH	-	-	-	-	SEG30
1FH	-	-	-	-	SEG31
公共驱动	COM3	COM2	COM1	COM0	

3.1.12 RPAGE0~RB (LCD 数据缓存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	LCD_D<3:0>			

Bit<3:0>: LCD_D<3:0>:LCD RAM 数据传输寄存器

3.1.13 RPAGE0~RC (计数器使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mon_en	RTC_en	RTC0<1:0>		LPWTEN	HPWTEN	CNT2EN	CNT1EN

Bit<7>:Mon_en-RTC 输出使能控制位

0:禁止

1:使能(从 p66 输出 rtc 中断选择频率)

Bit<6>:RTC_en-RTC 使能控制位

0:禁止

1:使能

Bit<5:4>:RTC 中断频率选择

11:RTC 中断频率选择 0.25Hz

10:RTC 中断频率选择 0.5Hz

01:RTC 中断频率选择 1Hz

00:RTC 中断频率选择 2Hz

Bit<3>:LPWTEN-LPWT 使能控制位

0:禁止

1:使能

Bit<2>:HPWTEN-HPWT 使能控制位

0:禁止

1:使能

Bit<1>:CNT2EN-CNT2 使能控制位

0:禁止

1:使能

Bit<0>:CNT1EN-CNT1 使能控制位

0:禁止

1:使能

3.1.14 RPAGE0~RD(系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	CLK<2:0>			IDLE	BF<1:0>		TIMERSC

Bit<6:4>:CLK<2:0>-PLL 倍频系数选择

CLK2	CLK1	CLK0	PLL 系数	例:Fs=32.768Khz
0	0	0	Fs*130	4.26MHz
0	0	1	Fs*65	2.13MHz
0	1	0	Fs*32.50	1.065MHz
0	1	1	Fs*16.25	532KHz
1	X	X	Fs*244	8MHz

Bit<3>:IDLE-系统睡眠模式选择

0:执行 SLEEP 后进入睡眠模式

1:执行 SLEEP 后进入空闲模式

Bit<2:1>: BF<1:0>- LCD 偏压刷新频率控制

BF1	BF0	偏压刷新频率
0	0	FS
0	1	FS/4
1	0	FS/8
1	1	FS/16

Bit<0>:TIMERSC-系统工作时钟选择

1:系统时钟选择主时钟 FM

0:系统时钟选择副时钟 FS(主时钟停止工作)

3.1.15 RPAGE0~RE(IR 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRE	HF	LGP	--	IROUTE	TCCE	EINT1	EINT0

Bit<7>:IRE-IR 使能控制

0:禁止

1:使能

Bit<6>:HF-载波调制使能控制

0:禁止, 作为 PWM, 禁止 H/W 调制功能。根据高/低电平脉宽计时器分别决定高低脉冲宽度, 从而确定 IROUT 输出波形, 计数器 2 是一个独立的自动装载的定时器。

1:使能, 作为 IR, 使能 H/W 调制功能。产生脉冲低电平时间由载波频率来调制, 调制频率由计数器 2 提供。

Bit<5>:LGP-PWM 脉冲类型选择

0:高脉冲, 低脉冲均有效

1:高脉冲定时器无效, 仅低脉冲定时器有效

Bit<3>:IROUTE-P57 功能定义

0:作为 GPIO

1:作为 IR 输出(需先将端口设置为输出态)

Bit<2>:TCCE-P56 功能定义

0:作为 GPIO

1:作为 TCC 时钟输入(需先将端口设置为输入)

Bit<1>:EINT1-P55 功能定义

0:作为 GPIO

1:作为外部中断 INT1 输入口(需先将端口设置为输入态)

Bit<0>:EINT0-P54 功能定义

0:作为 GPIO

1:作为外部中断 INT1 输入口(需先将端口设置为输入态)

3.1.16 RPAGE0~RF(中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIF	LPWTF	HPWTF	CNT2F	CNT1F	INT1F	INT0F	TCIF

当中断发生时标志位置“1”

Bit<7>:ICIF-P6, P8 输入端口状态变化中断标志

Bit<6>:LPWTF-内部低电平脉宽定时器下溢标志

Bit<5>:HPWTF-内部高电平脉宽定时器下溢标志

Bit<4>:CNT2F-内部计数器 2 溢出中断

Bit<3>:CNT1F-内部计数器 1 溢出中断

Bit<2>:INT1F-外部中断 1 标志

Bit<1>:INT0F-外部中断 0 标志

Bit<0>:TCIF-TCC 定时器溢出标志

3.1.17 RPAGE1~R5(P5 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5ICWE<7:4>				PC<11:8>			

Bit<7:4>: P5ICWE<7:4>-P5 输入状态检测使能寄存器

0:禁止

1:使能

Bit<3:0>: PC<11:8>-PC 高位

只读, 配合 RPAGE0-R5-Bit1 使用

3.1.18 RPAGE1~R6(P6 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6ICWE<7:0>							

Bit<7:0>: P6ICWE<7:0>-P6 输入状态检测使能寄存器

0:禁止

1:使能

3.1.19 RPAGE1~R7(P7 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICWE<7:0>							

Bit<7:0>: P7ICWE<7:0>-P7 输入状态检测使能寄存器

0:禁止

1:使能

3.1.20 RPAGE1~R8 (P8 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8ICWE<7:0>							

Bit<7:0>: P8ICWE<7:0>-P8 输入状态检测使能寄存器

- 0: 禁止
- 1: 使能

3.1.21 RPAGE1~R9 (PORT9 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	P9<4:0>				

Bit<4:0>: P9 数据位

PORT9 数据寄存器, 可读可写

3.1.22 RPAGE1~RA (P9 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	P9CR<4:0>				

Bit<4:0>: P9 方向控制

- 0: 输出
- 1: 输入

3.1.23 RPAGE1~RB (P7 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7PH<7:0>							

Bit<7:0>: P7 上拉控制

- 0: 禁止
- 1: 使能

3.1.24 RPAGE1~RC (P7 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7PD<7:0>							

Bit<7:0>: P7 下拉控制

- 0: 禁止
- 1: 使能

3.1.25 RPAGE1~RD (端口驱动能力选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CK_md	--	--	P9hdrv	P8hdrv	P7hdrv	P6hdrv	P5hdrv

Bit<7>: ck_md-TCC 计数时钟选择

- 1: 选择副时钟计数 (支持 IDLE 模式唤醒)
- 0: 不支持 IDLE 模式唤醒

Bit<4:0>: P9hdrv-端口驱动能力选择

- 0: 正常
- 1: 增强

3.1.26 RPAGE1~RE (P9 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	P9PH<4:0>				

Bit<4:0>:P9 上拉控制

- 0:禁止
- 1:使能

3.1.27 RPAGE1~RF (P9 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	P9PD<3:0>			

Bit<3:0>:P9 下拉控制

- 0:禁止
- 1:使能

3.1.28 RPAGE2~R5 (PWM0 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOEN	PTOEN	PTOP<2:0>			IPWMO	PWMOCKS	PWMOCS

Bit<7>:PWMOEN–PWM0 使能控制位

- 1:使能
- 0:禁止

Bit<6>:PTOEN–PWM0 时钟分频器使能控制位

- 1:使能
- 0:禁止

Bit<5:3>:PTOP<2:0>–PWM0 时钟预分频控制位

PTOP<2>	PTOP<1>	PTOP<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWMO–PWM0 互补功能使能控制位

- 1:使能
- 0:禁止

Bit<1>:PWMOCKS–PWM0 时钟选择

- 1:Fcpu
- 0:Fosc

Bit<0>:PWMOCS–PWM0 级联使能控制位

- 1:使能 (PWM1 级联至 PWM0, PWM1 为低位, PWM0 为高位)
- 0:禁止

3.1.29 RPAGE2~R6 (PWM0 周期及占空比高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDCS	P2CS	P1CS	POCS	PDC0<9:8>		PRD0<9:8>	

Bit<7>:PDCS-PWM 死区调节时钟源选择

- 0:Fm
- 1:F_s

Bit<6>:P2CS-PWM2 时钟源选择

- 0:Fm
- 1:F_s

Bit<5>:P1CS-PWM1 时钟源选择

- 0:Fm
- 1:F_s

Bit<4>:POCS-pwm0 时钟源选择

- 0:Fm
- 1:F_s

Bit<3:2>:PDC0<9:8>-PWM0 占空因子高位

Bit<1:0>:PRD0<9:8>-PWM0 周期因子高位

3.1.30 RPAGE2~R7 (PWM0 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD0<7:0>							

Bit<7:0>:PRD0<7:0>-PWM0 周期低位

该寄存器可读可写

3.1.31 RPAGE2~R8 (PWM0 占空低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC0<7:0>							

Bit<7:0>:PDC0<7:0>-PWM0 占空因子低位

该寄存器可读可写

3.1.32 RPAGE2~R9 (PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1EN	PT1EN	PT1P<2:0>			IPWM1	PWM1CKS	PWM1CS

Bit<7>:PWM1EN-PWM1 使能控制位

- 1:使能
- 0:禁止

Bit<6>:PT1EN-PWM1 时钟分频器使能控制位

- 1:使能
- 0:禁止

Bit<5:3>:PT1P<2:0>-PWM1 时钟预分频控制位

PT0P<2>	PT0P<1>	PT0P<0>	分频比
0	0	0	1:2

0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM1-PWM1 互补功能使能控制位

1:使能

0:禁止

Bit<1>:PWM1CKS-PWM1 时钟选择

1:Fcpu

0:Fosc

Bit<0>:PWM1CS-PWM1 级联使能控制位

1:使能 (PWM2 级联至 PWM1, PWM2 为低位, PWM1 为高位)

0:禁止

此寄存器可读可写

3.1.33 RPAGE2~RA (PWM1&PWM2 周期、占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<9:8>		PDC1<9:8>		PRD2<9:8>		PRD1<9:8>	

Bit<7:6>:PDC2<9:8>-PWM2 占空因子高位

Bit<5:4>:PDC1<9:8>-PWM1 占空因子高位

Bit<3:2>:PRD2<9:8>-PWM2 周期因子高位

Bit<1:0>:PRD1<9:8>-PWM1 周期因子高位

3.1.34 RPAGE2~RB (PWM1 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7:0>							

Bit<7:0>:PRD1<7:0>-PWM1 周期低位

3.1.35 RPAGE2~RC (PWM1 占空低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC1<7:0>							

Bit<7:0>:PDC1<7:0>-PWM1 占空因子低位

3.1.36 RPAGE2~RD (PWM2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2EN	PT2EN	PT2P<2:0>		IPWM2	PWM2CKS	PWM2CS	

Bit<7>:PWM2EN-PWM2 使能控制位

1:使能

0:禁止

Bit<6>:PT2EN-PWM2 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT2P<2:0>-PWM2 时钟预分频控制位

PTOP<2>	PTOP<1>	PTOP<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM2-PWM2 互补功能使能控制位

1:使能

0:禁止

Bit<1>:PWM2CKS-PWM2 时钟选择

1:Fcpu

0:Fosc

Bit<0>:PWM2CS-PWM2 级联使能控制位

1:使能(PWM0 级联至 PWM2, PWM0 为低位, PWM2 为高位)

0:禁止

3. 1. 37 RPAGE2~RE (PWM2 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7:0>							

Bit<7:0>:PRD2<7:0>-PWM2 周期低位 此寄存器可读可写

3. 1. 38 RPAGE2~RF (PWM2 占空低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<7:0>							

Bit<7:0>:PDC2<7:0>-PWM2 占空因子低位 此寄存器可读可写

3. 1. 39 RPAGE3~R5 (PWM 死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEAD_EN<2:0>			DCK_SEL	PRESET<3:0>			

Bit<7:5>:DEAD_EN<2:0>-死区调节使能控制位

DEAD_EN<2>-PWM2 死区调节使能控制

DEAD_EN<1>-PWM1 死区调节使能控制

DEAD_EN<0>-PWM0 死区调节使能控制

1:使能

0:禁止

Bit<4>:DCK_SEL-死区时钟选择

1:Fcpu

0:Fosc

Bit<3:0>:PRESET<3:0>-死区时间设置

PRESET<3>	PRESET<2>	PRESET<1>	PRESET<0>	死区时间
0	0	0	1	1*Tdck
0	0	1	0	2*Tdck
0	0	1	1	3*Tdck
0	1	0	0	4*Tdck
0	1	0	1	5*Tdck
0	1	1	0	6*Tdck
0	1	1	1	7*Tdck
1	0	0	0	8*Tdck
1	0	0	1	9*Tdck
1	0	1	0	10*Tdck
1	0	1	1	11*Tdck
1	1	0	0	12*Tdck
1	1	0	1	13*Tdck
1	1	1	0	14*Tdck
1	1	1	1	15*Tdck

此寄存器可读可写

3.1.40 RPAGE3~R6 (PWM 极性及死区时钟控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INVH<2:0>			INVL<2:0>			DCK_DIV<1:0>	

Bit<7:5>: INVH<2:0>-PWM2~0 极性选择

1:duty 有效为低电平

0:duty 有效为高电平

Bit<4:2>: INVL<2:0>-IPWM2~0 极性选择

1:duty 有效为高电平

0:duty 有效为低电平

Bit<1:0>: DCK_DIV<1:0>-死区时钟分频选项

DCK_DIV<1>	DCK_DIV<0>	分频系数
0	0	1
0	1	1/4
1	0	1/16
1	1	1/64

此寄存器可读可写

3.1.41 RPAGE3~R7 (PWM 死区时钟及输出控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DBD_EN	DB2_EN	DB1_EN	DB_EN0	BRK_EN	PWMOEN<2:0>		

Bit<7>: DBD_EN-死区调整时钟倍频控制位

0:使能(死区调节时钟加倍)

1:禁止

Bit<6>: DB2_EN-PWM2 时钟倍频控制位

0:使能(PWM2 时钟加倍)

1:禁止

Bit<5>:DB1_EN-PWM1 时钟倍频控制位

0:使能(PWM1 时钟加倍)

1:禁止

Bit<4>:DB_EN0-PWM0 时钟倍频控制位

0:使能(PWM0 时钟加倍)

1:禁止

Bit<3>:BRK_EN-PWM 刹车使能控制位

1:使能(刹车事件(外部中断)发生后, 硬件直接拉低 PWMOEN<2:0>, 对应端口切换为输出端口数据寄存器内容)

0:禁止

Bit<2:0>:PWMOEN<2:0>-PWM 输出使能控制位

1:输出 PWM 数据

0:输出对应端口数据寄存器内容

此寄存器可读可写

3.1.42 RPAGE3~R8 (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	LVD_FG	LVDEN	LVD_SEL<4:0>				

Bit<6>:LVD_FG-LVD 标志位

0:电源电压低于预设电压检测点

1:电源电压高于预设电压检测点或 LVD 未使能

Bit<5>:LVDEN-LVD 使能控制位

0:禁止

1:使能

Bit<4:0>:LVD_SEL<4:0>-LVD 检测点选择

LVD_SEL<4>	LVD_SEL<3>	LVD_SEL<2>	LVD_SEL<1>	LVD_SEL<0>	LVD 检测点选择
0	0	0	0	0	1.8
0	0	0	0	1	1.9
0	0	0	1	0	2
0	0	0	1	1	2.1
0	0	1	0	0	2.2
0	0	1	0	1	2.3
0	0	1	1	0	2.4
0	0	1	1	1	2.5
0	1	0	0	0	2.6
0	1	0	0	1	2.7
0	1	0	1	0	2.8
0	1	0	1	1	2.9
0	1	1	0	0	3
0	1	1	0	1	3.1
0	1	1	1	0	3.2

0	1	1	1	1	3.3
1	0	0	0	0	3.4
1	0	0	0	1	3.5
1	0	0	1	0	3.6
1	0	0	1	1	3.7
1	0	1	0	0	3.8
1	0	1	0	1	3.9

3.1.43 RPAGE3~R9(唤醒使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KBI_wken	LPWT_wken	HPWT_wken	CNT2_wken	CNT1_wken	INT1_wken	INT0_wken	TCC_wken

Bit<7:0>:唤醒使能控制位

0:禁止

1:使能

3.1.44 RPAGE3~RA(唤醒使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTC_wken	LVD_wken	WDT_wken	PWM2_wken	PWM1_wken	PWM0_wken

Bit<5:0>:唤醒使能控制位

0:禁止

1:使能

3.1.45 RPAGE3~RB(中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE

Bit<5:0>:中断使能控制位

1:使能

0:禁止

3.1.46 RPAGE3~RC(中断标志寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIF	LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF

Bit<5:0>:中断标志控制位

1:有中断

0:无中断

3.1.47 RPAGE3~RE(P7 功能选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7FS<7:0>							

Bit<7:0>:P7FS<7:0>-P7 功能选择(此时 IOC50-bit<1:0>设置无效)

0:作为 GPIO

1:作为 SEG

3.1.48 RPAGE3~RF (P8 功能选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8FS<7:0>							

Bit<7:0>:P8FS<7:0>-P8 功能选择(此时 IOC50-bit<3:2>设置无效)

0:作为 GPIO

1:作为 SEG

3.1.49 RPAGE4~R5 (查表指令高位地址寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	Trg_en	--	Tad<12:8>				

Bit<7>:MLB-查表数据高低位选择

1:输出高位数据

0:输出低位数据

Bit<6>:Trg_en-查表区域选择

1:option 区域

0:code 区域

Bit<4:0>:Tad-查表地址高位

3.1.50 RPAGE4~R6 (查表指令低位地址寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Tad<7:0>							

Bit<7:0>:Tad<7:0>-查表地址低位

3.1.51 RPAGE4~R7 (PLL 系数低位选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PLL<7:0>							

Bit<7:0>:PLL-PLL 系数低位选择

3.1.52 RPAGE4~R8 (PLL 系数低位选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Fs_sel<2:0>				Div_sel<2:0>			Pllc<8>

Bit<7:4>:Fs_sel-副时钟源选择(仅当系统副时钟选择为主时钟分频时有效,默认 128 分频)

Fs_sel<2>	Fs_sel<1>	Fs_sel<0>	分频系数
0	0	0	32
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024

Bit<3:1>:PLL 频率分频系数选择

Div_sel<2>	Div_sel<1>	Div_sel<0>	分频系数
------------	------------	------------	------

0	0	0	不分频
0	0	1	2 分频
0	1	0	4 分频
0	1	1	8 分频
1	0	0	16 分频

Bit<0>: PLLC-PLL 系数高位选择

3.1.53 RPAGE4~R9 (PWM 输出选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	SF_P67	SF_P66	PWM0_SEL<1:0>	

Bit<7:4>: 保留

Bit<3>: SF_P67-P67 输出功能选择

1: 特殊输出口, 输出 PWM2&PWM0

0: 通用输出口, 输出 P67 数据寄存器对应内容

Bit<2>: SF_P66-P66 输出功能选择

1: 特殊输出口, 输出 PWM1&PWM0

0: 通用输出口, 输出 P66 数据寄存器对应内容

Bit<1:0>: PWM0_SEL<1:0>-PWM 输出管脚选择位

PWM0_SEL<1>	PWM0_SEL<0>	IPWM2	IPWM1	IPWM0	PWM2	PWM1	PWM0
0	0	P63	P64	P65	P60	P61	P62
0	1	P70	P71	P72	P60	P61	P62
1	0	P80	P81	P82	P60	P61	P62
1	1	/	/	/	P60	P61	P62

3.2 控制寄存器

3.2.1 IOPAGE0~IOC50 (P5 方向控制&P7, P8 功能选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7:4>				P8HS	P8LS	P7HS	P7LS

Bit<7:4>:P5 方向控制

0:输出

1:输入

Bit<3>:P8HS-P8<7:4>功能定义

0:作为 GPIO

1:作为 LCD 输出段 SEG28~SEG31 输出

Bit<2>:P8LS-P8<3:0>功能定义

0:作为 GPIO

1:作为 LCD 输出段 SEG24~SEG27 输出

Bit<1>:P7HS-P7<7:4>功能定义

0:作为 GPIO

1:作为 LCD 输出段 SEG20~SEG23 输出

Bit<0>:P7LS-P7<3:0>功能定义

0:作为 GPIO

1:作为 LCD 输出段 SEG16~SEG19 输出

3.2.2 IOPAGE0~IOC60 (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7:0>							

Bit<7:0>:P6 方向控制

0:输出

1:输入

3.2.3 IOPAGE0~IOC70 (P7 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7CR<7:0>							

Bit<7:0>:P7 方向控制

0:输出

1:输入

3.2.4 IOPAGE0~IOC80 (P8 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8CR<7:0>							

Bit<7:0>:P8 方向控制

0:输出

1:输入

3.2.5 IOPAGE0~IOC90 (间接寻址指针寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RAM_S	RAM_AD<6:0>						

Bit7:RAM_S-RAM 访问区域选择

0:对应 R 页面 80~FF

1:对应 R 页面 00~7F

Bit<6:0>:RAM_AD<6:0>-RAM 间接寻址指针, 对应地址范围 00~7FH

3.2.6 IOPAGE0~IOCA0 (间接寻址数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RAM_D<7:0>							

Bit<7:0>:RAM_D<7:0>-间接寻址数据, 对应的地址为 IOC90 所指向的数据, 与 RPAGE0-R0 作用一致

3.2.7 IOPAGE0~IOCBO (CNT1 初值寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CNT1_PRE<7:0>							

Bit<7:0>:CNT1_PRE<7:0>-CNT1 初值, 可读写

3.2.8 IOPAGE0~IOCC0 (CNT2 初值寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CNT2_PRE<7:0>							

Bit<7:0>:CNT2_PRE<7:0>-CNT2 初值, 可读写

当使能红外发射输出时, 设置该控制寄存器可以获得载波频率输出。

如果计数器 2 的时钟频率等于 F, 则:载波频率 =F/2*(预设值+1)*预分频比

3.2.9 IOPAGE0~IOCDO (高电平脉宽定时器预设值寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HPWT_PRE<7:0>							

Bit<7:0>:HPWT_PRE<7:0>-HPWT 初值

在 PWM 或 IR 应用中, 该寄存器用来设置高电平脉宽。

如果高电平脉宽时钟源频率为 F, 则高电平宽度=预分频比*(预设值+1)/F

3.2.10 IOPAGE0~IOCEO (低电平脉宽定时器预设值寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LPWT_PRE<7:0>							

Bit<7:0>:LPWT_PRE<7:0>-LPWT 初值

在 PWM 或 IR 应用中, 该寄存器用来设置低电平脉宽。

如果低电平脉宽时钟源频率为 F, 则低电平宽度=预分频比*(预设值+1)/F

3.2.11 IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIE	LPWTE	HPWTE	CNT2E	CNT1E	INT1E	INT0E	TCIE

Bit<7>:ICIE-输入端口状态变化中断使能

Bit<6>:LPWTE-LPWT 溢出中断使能

Bit<5>:HPWTE-HPWT 溢出中断使能

Bit<4>:CNT2E-CNT2 溢出中断使能

Bit<3>:CNT1E-CNT1 溢出中断使能

Bit<2>:INT1E-外部中断 1 使能

Bit<1>:INT0E-外部中断 0 使能

Bit<0>:TCIE-TCC 溢出中断使能

0:禁止中断

1:使能中断

3.2.12 IOPAGE1~IOC51 (P5 上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7:4>				P5PD<3:0>			

Bit<7:4>:P5 上拉控制

0:禁止

1:使能

Bit<3:0>:P5 下拉控制

0:禁止

1:使能

3.2.13 IOPAGE1~IOC61 (PORT 唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IROCS	BUZ2_EN	BUZ1_EN	BUZ0_EN	WUE8H	WUE8L	WUE6H	WUE6L

Bit<7>:IROCS-P57 灌电流能力选择

0:10mA @5V

1:20mA @5V

Bit<6>:BUZ2_EN-BUZZ2 使能控制(从 PWM2 端口输出)

1:使能(PWM2 通道输出 BUZZ 波形, $T_{buzz2}=2*T_{prd2}$)

0:禁止

Bit<5>:BUZ1_EN-BUZZ1 使能控制(从 PWM2 端口输出)

1:使能(PWM1 通道输出 BUZZ 波形, $T_{buzz1}=2*T_{prd1}$)

0:禁止

Bit<4>:BUZ0_EN-BUZZ0 使能控制(从 PWM2 端口输出)

1:使能(PWM0 通道输出 BUZZ 波形, $T_{buzz0}=2*T_{prd0}$)

0:禁止

Bit<3>:WUE8H-P8<7:4>状态改变唤醒使能

Bit<2>:WUE8L-P8<3:0>状态改变唤醒使能

Bit<1>:WUE6H-P6<7:4>状态改变唤醒使能

Bit<0>:WUE6L-P6<3:0>状态改变唤醒使能

0:使能 ; 1:禁止

3.2.14 IOPAGE1~IOC71 (TCC 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INT_EDGE	INT	TS	TE	PSTE	PST<2:0>		

Bit<7>:INT_EDGE-INT 中断沿选择

- 0:上升沿触发中断
- 1:下降沿触发中断

Bit<6>:INT-中断使能标志位, 该位只读

- 0:禁止(由 DISI 指令或硬件中断屏蔽)
- 1:使能(由 ENI 或 RETI 指令使能)

Bit<5>:TS:TCC 时钟源选择控制位

- 1:选择外部时钟(P56 作为 TCC 外部时钟输入端口)
- 0:选择内部系统时钟

Bit<4>:TE:外部时钟触发沿选择控制位

- 1:选择外部时钟的下降沿作为触发沿
- 0:选择外部时钟的上升沿作为触发沿

Bit<3>:PSTE:预分频器选择控制位

- 1:TCC 预分频器使能
- 0:TCC 预分频器禁止

Bit<2:0>PST2~PST0:分频系数选择控制位

PSTE	PST2	PST1	PST0	TCC 分频系数
0	X	X	X	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.2.15 IOPAGE1~IOC81 (WDT 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	Lxt_drv	Mon_en	Wck_sc	WDTE	WDTP<2:0>		

Bit<7>:保持为 0

Bit<6>:Lxt_drv-lxt 起振时间选择位(上电默认正常)

- 0:快速(功耗较正常模式大)
- 1:正常

Bit<5>:Mon_en-WDT 监控使能控制(当看门狗时钟选择 12K 时)

- 0:禁止
- 1:使能(从 P57 可以实现内部 WDT 监控, 输出 wdt 计数器 32 分频信号)

Bit<4>:Wck_sc-WDT 时钟源选择(当看门狗时钟选择 12K 时)

- 0:选择内部时钟作为 WDT 时钟
- 1:选择 Fs 作为 WDT 时钟

Bit<3>:WDTE-WDT 功能控制

- 1:使能
- 0:禁止

Bit<2:0>:PSW<2:0>-看门狗时钟预分频选择

PSW<2>	PSW<1>	PSW<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:32
1	1	0	1:64
1	1	1	1:128

3.2.16 IOPAGE1~IOC91 (CNT1/2 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CNT2S	CNT2P<2:0>			CNT1S	CNT1P<2:0>		

Bit<7>:CNT2S-CNT2 时钟选择

- 0:选择副时钟作为计数时钟
- 1:选择主时钟作为计数时钟

Bit<6:4>:CNT2P<2:0>-CNT2 预分频控制

CNT2P2	CNT2P1	CNT2P0	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<3>:CNT1S-CNT1 时钟选择

- 0:选择副时钟作为计数时钟 ;1:选择主时钟作为计数时钟

Bit<2:0>:CNT1P<2:0>-CNT1 预分频控制

CNT1P2	CNT1P1	CNT1P0	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.2.17 IOPAGE1~IOCA1 (H/LPWT 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LPWTS	LPWTP<2:0>			HTWTS	HPWTP<2:0>		

Bit<7>:LPWTS-LPWT 时钟选择

0:选择副时钟作为计数时钟

1:选择主时钟作为计数时钟

Bit<6:4>:LPWTP<2:0>-LPWT 预分频控制

LPWTP2	LPWTP1	LPWTP0	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<3>:HTWTS-HTWT 时钟选择

0:选择副时钟作为计数时钟

1:选择主时钟作为计数时钟

Bit<2:0>:HTWTP<2:0>-HTWT 预分频控制

HPWTP2	HPWTP1	HPWTP0	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.2.18 IOPAGE1~IOCB1 (P6 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7:0>							

Bit<7:0>:P6 上拉控制

0:禁止

1:使能

3.2.19 IOPAGE1~IOCC1 (P6 开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6OD<7:0>							

Bit<7:0>:P6 开漏控制

0:禁止

1:使能

3.2.20 IOPAGE1~IOCD1 (P8 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8PH<7:0>							

Bit<7:0>:P8 上拉控制

0:禁止

1:使能

3.2.21 IOPAGE1~IOCE1 (P6 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7:0>							

Bit<7:0>:P6 下拉控制

0:禁止

1:使能

3.2.22 IOPAGE1~IOCF1 (P8 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8PD<7:0>							

Bit<7:0>:P8 下拉控制

0:禁止

1:使能

3.3 GPIO 功能模块

YF468J 有 5 组双向 I/O 端口，共 33 个，大部分 I/O 口可以复用为其它功能。

33 个可编程上拉 I/O 引脚:P5, P6, P7, P8, P9;

32 个可编程下拉 I/O 引脚:P94 口除外;

32 个可编程驱动增强 I/O 引脚:P92 口除外;

9 个可编程漏极开路 I/O 引脚:P6.0~P6.7, P94;

3.3.1 GPIO 寄存器说明

RPAGE0~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5<7:4>				--	--	Pch_rden	IOCPAGE

Bit<7:4>:P5 数据位

PORT5 数据寄存器，可读可写

RPAGE0~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6<7:0>							

PORT6 数据寄存器，可读可写

RPAGE0~R7 (PORT7 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7<7:0>							

PORT7 数据寄存器，可读可写

RPAGE0~R8 (PORT8 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8<7:0>							

PORT8 数据寄存器，可读可写

RPAGE1~R9 (PORT9 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	P9<4:0>				

Bit<4:0>:P9 数据位

PORT9 数据寄存器，可读可写

RPAGE1~RA (P9 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	P9CR<4:0>				

Bit<4:0>:P9 方向控制

0:输出

1:输入

RPAGE1~RB (P7 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7PH<7:0>							

Bit<7:0>:P7 上拉控制

0:禁止
1:使能

RPAGE1~RC (P7 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7PD<7:0>							

Bit<7:0>:P7 下拉控制
0:禁止
1:使能

RPAGE1~RD (端口驱动能力选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CK_md	--	--	P9hdrv	P8hdrv	P7hdrv	P6hdrv	P5hdrv

Bit<4:0>:P9hdrv-端口驱动能力选择
0:正常
1:增强

RPAGE1~RE (P9 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	P9PH<4:0>				

Bit<4:0>:P9 上拉控制
0:禁止
1:使能

RPAGE1~RF (P9 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	P9PD<3:0>			

Bit<3:0>:P9 下拉控制
0:禁止
1:使能

RPAGE3~RE (P7 功能选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7FS<7:0>							

Bit<7:0>:P7FS<7:0>-P7 功能选择(此时 IOC50-bit<1:0>设置无效)
0:作为 GPIO
1:作为 SEG

RPAGE3~RF (P8 功能选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8FS<7:0>							

Bit<7:0>:P8FS<7:0>-P8 功能选择(此时 IOC50-bit<3:2>设置无效)
0:作为 GPIO
1:作为 SEG

IOPAGE0~IOC50 (P5 方向控制&P7, P8 功能选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7:4>				P8HS	P8LS	P7HS	P7LS

Bit<7:4>:P5 方向控制

0:输出

1:输入

Bit3:P8HS-P8<7:4>功能定义

0:作为 GPIO

1:作为 SEG

Bit2:P8LS-P8<3:0>功能定义

0:作为 GPIO

1:作为 SEG

Bit1:P7HS-P7<7:4>功能定义

0:作为 GPIO

1:作为 SEG

Bit0:P7LS-P7<3:0>功能定义

0:作为 GPIO

1:作为 SEG

IOPAGE0~IOC60 (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7:0>							

Bit<7:0>:P6 方向控制

0:输出

1:输入

IOPAGE0~IOC70 (P7 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7CR<7:0>							

Bit<7:0>:P7 方向控制

0:输出

1:输入

IOPAGE0~IOC80 (P8 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8CR<7:0>							

Bit<7:0>:P8 方向控制

0:输出

1:输入

IOPAGE1~IOC51 (P5 上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7:4>				P5PD<3:0>			

Bit<7:4>:P5 上拉控制

0:禁止

1:使能

Bit<3:0>:P5 下拉控制

0:禁止

1:使能

IOPAGE1~IOCB1 (P6 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7:0>							

Bit<7:0>:P6 上拉控制

0:禁止

1:使能

IOPAGE1~IOCC1 (P6 开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6OD<7:0>							

Bit<7:0>:P6 开漏控制

0:禁止

1:使能

IOPAGE1~IOCD1 (P8 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8PH<7:0>							

Bit<7:0>:P8 上拉控制

0:禁止

1:使能

IOPAGE1~IOCE1 (P6 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7:0>							

Bit<7:0>:P6 下拉控制

0:禁止

1:使能

IOPAGE1~IOCF1 (P8 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8PD<7:0>							

Bit<7:0>:P8 下拉控制

0:禁止

1:使能

3.4 TCC 定时器功能模块

TCC (R1) 是一个 8-Bit 上行计数器, 只要有时钟就工作。时钟源既可以是内部系统时钟 (上升沿触发), 也可以选择外部时钟 (由 TCC 引脚输入, 触发沿可选), 如果没有分频控制, 每个时钟 (Fm/Fs) 周期 (选择内部时钟) 或每个外部时钟周期 (外部时钟), 计数器实现加 1。

系统提供一个 8-Bit 计数器作为 TCC 的预分频器。可以通过 I0C71 寄存器设置 TCC 预分频、触发沿、时钟等。

TCC 计数溢出可以形成中断信号。

在 IDLE 模式下, TCC 中断可以唤醒电路。

3.4.1 TCC 定时器寄存器说明

RPAGE0~R1 (TCC 定时计数器)

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TMR 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作 (CONT. 4 位定义)。如果清零 PAB 位 (CONT. 3), 会有一个预分频器分配给 TCC, 当 TCC 寄存器被写入一个值时, 预分频器的值会被清 0。

RPAGE0~RD (系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	CLK<2:0>		IDLE	BF<1:0>		TIMERSC	

Bit6:TIMERSC-系统工作时钟选择

1:系统时钟选择主时钟 FM

0:系统时钟选择副时钟 FS (主时钟停止工作)

RPAGE0~RE (IR 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRE	HF	LGP	--	IROUTE	TCCE	EINT1	EINT0

Bit2:TCCE-P56 功能定义

1:作为 TCC 时钟输入口 (需先将端口设置为输入)

0:作为 GPIO

RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIF	LPWTF	HPWTF	CNT2F	CNT1F	INT1F	INT0F	TCIF

Bit0:TCIF-TCC 中断标志位

1:有中断

0:无中断

RPAGE3~R9 (唤醒使能寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KBI_wken	LPWT_wken	HPWT_wken	CNT2_wken	CNT1_wken	INT1_wken	INT0_wken	TCC_wken

Bit0:TCC_wken-TCC 唤醒

1:使能

0:禁止

IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIE	LPWTE	HPWTE	CNT2E	CNT1E	INT1E	INT0E	TCIE

Bit0:TCIE-TCC 溢出中断使能控制

- 1:使能
- 0:禁止

IOPAGE1~IOC71 (TCC 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INT_EDGE	INT	TS	TE	PSTE	PST<2:0>		

Bit6:INT:中断使能标志位

- 0:由 DISI 指令或硬件中断屏蔽
- 1:由 ENI 或 RETI 指令使能

Bit5:TS:TCC 时钟源选择控制位

- 1:选择外部时钟 (P56 作为 TCC 外部时钟输入端口)
- 0:选择内部系统时钟

Bit4:TE:外部时钟触发沿选择控制位

- 1:选择外部时钟的下降沿作为触发沿
- 0:选择外部时钟的上升沿作为触发沿

Bit3:PSTE:预分频器选择控制位

- 1:TCC 预分频器使能
- 0:TCC 预分频器禁止

Bit<2:0> PST2~PST0:分频系数选择控制位

PSTE	PST2	PST1	PST0	TCC 分频系数
0	X	X	X	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.4.2 TCC 定时设置说明

- 1、给 TCC 计数器赋初始值；
- 2、设置 TCC 控制寄存器的值(选择作为计数器或计时器及预分频比)；
- 3、作为计数器使用，需要在 TCC 控制寄存器选择 TCC 外部输入信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF0 寄存器中的 TCIE(Bit0)为 1，并执行 ENI 指令；
- 5、中断程序部分将自动保存 ACC、STATUS 及 R4 于堆栈器中，执行 RETI 指令后，再自堆栈中取出，退出中断前要清除 TCC 中断标志位。

3.5 WDT 看门狗功能模块

WDT 是一个 12-Bit 上行计数器，有两重使能控制信号控制(OPTION 中的 ENWDT 和 IOCE 寄存器中的 WDTE 控制位)。计数时钟由单独的振荡器提供，因此在系统进入到静态模式后，WDT 仍然可以运行(如果使能)，在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位时间由 OPTION 中的控制位 WDTPS 实现选择 4.5ms 或 18ms。

系统提供一个 8-Bit 计数器作为 WDT 的分频器，通过 IOCE0 寄存器设置。

无论是在仿真还是在烧录时，如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTE 位选择“1”。两个条件缺一不可。看门狗定时器(WDT)的计数频率来源为内部的 RC 振荡器，计数频率约为 15kHz(±30%)，当 MCU 进入睡眠(Sleep)模式或闲置(Idle)模式时，由于供给 RC 振荡器的电源，并没有关闭，WDT 依然在计数，当 WDT 溢出时，会将 MCU 唤醒且复位。

3.5.1 WDT 看门狗寄存器说明

RPAGE3~RA (唤醒使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTC_wken	LVD_wken	WDT_wken	PWM2_wken	PWM1_wken	PWM0_wken

Bit3:WDT_wken-WDT 唤醒使能控制位

- 1:使能
- 0:禁止

RPAGE3~RB (中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIE	LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE

Bit3:WDTE-WDT 中断使能控制位

- 1:使能
- 0:禁止

RPAGE3~RC (中断标志寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIF	LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF

Bit3:WDTIF-WDT 中断标志位

- 1:有中断
- 0:无中断

IOPAGE1~IOC81 (WDT 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	Lxt_drv	Mon_en	Wck_sc	WDTE	WDTP<2:0>		

Bit3:WDTE-WDT 功能控制

- 1:使能
- 0:禁止

Bit2:PSW<2:0>-看门狗时钟预分频选择

PSW<2>	PSW<1>	PSW<0>	分频系数
X	X	X	1:1
0	0	0	1:2
0	0	1	1:4

0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128

3.5.2 WDT 看门狗设置说明

- 1、设定 IOC81 寄存器中 Bit3(WDTE)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 IOC81 寄存器的 Bit2~Bit0 位；
- 3、如果使能 WDT 唤醒，需设置 WDT_wken 标志位。唤醒复位则不需要设置看门狗中断寄存器，如需唤醒进入中断则需看门狗中断设置使能。

3.6 唤醒功能模块

执行 SLEEP 指令后，系统进入睡眠模式(IDLE=0)，系统时钟停止，所有模块停止工作，WDT(若使能)除外。

3.6.1 睡眠唤醒方式说明

- RESET 脚输入低电平；
- WDT 复位唤醒；
- WDT 中断唤醒；
- 端口输入状态改变唤醒；
- LVD 低压检测唤醒；
- 计数器中断唤醒；
- PWM 周期中断唤醒；
- 外部中断引脚唤醒；
- 高低电平脉宽中断唤醒；

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

其他唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程(SLEEP 前执行 DISI)或执行相应的跳转(SLEEP 前执行 ENI)，并打开相应的使能控制位，跳转到中断向量的位置。本模块主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.6.2 端口状态改变唤醒寄存器说明

RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIF	LPWTF	HPWTF	CNT2F	CNT1F	INT1F	INT0F	TCIF

Bit7:ICIF-输入端口状态变化中断

- 0:无中断
- 1:有中断

RPAGE1~R5 (P5 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5ICWE<7:4>				PC<11:8>			

Bit<7:4>: P5ICWE<7:4>-P5 输入状态检测使能寄存器

- 0:禁止
- 1:使能

Bit<3:0>: PC<11:8>-PC 高位

只读，配合 R5-bit1 使用

RPAGE1~R6 (P6 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6ICWE<7:0>							

Bit<7:0>: P6ICWE<7:0>-P6 输入状态检测使能寄存器

- 0:禁止
- 1:使能

RPAGE1~R7 (P7 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICWE<7:0>							

Bit<7:0>: P7ICWE<7:0>-P7 输入状态检测使能寄存器

0:禁止

1:使能

RPAGE1~R8 (P8 输入状态检测使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P8ICWE<7:0>							

Bit<7:0>: P8ICWE<7:0>-P8 输入状态检测使能寄存器

0:禁止

1:使能

RPAGE3~R9 (唤醒使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KBI_wken	LPWT_wken	HPWT_wken	CNT2_wken	CNT1_wken	INT1_wken	INT0_wken	TCC_wken

Bit<7:0>:唤醒使能控制位

0:禁止

1:使能

RPAGE3~RA (唤醒使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTC_wken	LVD_wken	WDT_wken	PWM2_wken	PWM1_wken	PWM0_wken

Bit<5:0>:唤醒使能控制位

0:禁止

1:使能

IOPAGE0~IOCF0 (中断使能寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIE	LPWTE	HPWTE	CNT2E	CNT1E	INT1E	INT0E	TCIE

Bit7:ICIE-输入端口状态变化中断使能

0:禁止

1:使能

IOPAGE1~IOC61 (PORT 唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IROCS	BUZ2_EN	BUZ1_EN	BUZ0_EN	WUE8H	WUE8L	WUE6H	WUE6L

Bit3:WUE8H-P8<7:4>唤醒使能

0:使能

1:禁止

Bit2:WUE8L-P8<3:0>唤醒使能

0:使能

1:禁止

Bit1:WUE6H-P6<7:4>唤醒使能

0:使能

1:禁止

Bit0:WUE6L-P6<3:0>唤醒使能

0:使能

1:禁止

3.6.3 端口状态改变查询方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、禁止 WDT；
- 4、读 PORT6，禁止中断，执行 DISI 指令；
- 5、设置寄存器 IOC61 唤醒使能；
- 6、设置 PORT 口输入状态检测使能；
- 7、读取 PORT 端口(如 MOV 0X05, 0X05)；
- 8、执行“SLEP”指令，进入睡眠(IDLE=0)/闲置(IDLE=1)模式；
- 9、唤醒后，执行 SLEP 的下一条指令。

3.6.4 端口状态改变中断方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、禁止 WDT；
- 4、读 PORT6，执行 ENI 指令；
- 5、设置寄存器 IOC61 唤醒使能；
- 6、设置 PORT 口输入状态检测使能；
- 7、使能输入端口状态变化中断；
- 8、读取 PORT 端口(如 MOV 0X05, 0X05)；
- 9、写指令“SLEP”，进入睡眠(IDLE=0)/闲置(IDLE=1)模式；
- 10、唤醒后会进入中断地址口，退出中断后，执行 SLEP 下一条指令。

3.7 LVD 电压检测功能模块

YF468J 具有低电压检测(LVD)功能，总共可编程选择 22 个电压值，当 CPU 的工作电压下降到设定值时，CPU 即置中断标志位而发生中断(若使能 LVD 中断)，且 RPAGE3~R8 寄存器的 Bit6 位被置 0；

3.7.1 LVD 电压检测寄存器说明

RPAGE3~R8 (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	LVD_FG	LVDEN	LVD_SEL<4:0>				

Bit7: 读出为 0

Bit6: LVD_FG-LVD 标志位

0:电源电压低于预设电压检测点

1:电源电压高于预设电压检测点或 LVD 未使能

Bit5: LVDEN-LVD 使能控制位

0:禁止

1:使能

Bit<4:0>:LVD_SEL<4:0>-LVD 检测点选择

LVD_SEL<4>	LVD_SEL<3>	LVD_SEL<2>	LVD_SEL<1>	LVD_SEL<0>	LVD 检测点选择
0	0	0	0	0	1.8
0	0	0	0	1	1.9
0	0	0	1	0	2
0	0	0	1	1	2.1
0	0	1	0	0	2.2
0	0	1	0	1	2.3
0	0	1	1	0	2.4
0	0	1	1	1	2.5
0	1	0	0	0	2.6
0	1	0	0	1	2.7
0	1	0	1	0	2.8
0	1	0	1	1	2.9
0	1	1	0	0	3
0	1	1	0	1	3.1
0	1	1	1	0	3.2
0	1	1	1	1	3.3
1	0	0	0	0	3.4
1	0	0	0	1	3.5
1	0	0	1	0	3.6
1	0	0	1	1	3.7
1	0	1	0	0	3.8
1	0	1	0	1	3.9

RPAGE3~RA (唤醒使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTC_wken	LVD_wken	WDT_wken	PWM2_wken	PWM1_wken	PWM0_wken

Bit4:LVD_wken-LVD 唤醒使能控制位

- 1:使能
- 0:禁止

RPAGE3~RB (中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIE	LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE

Bit4:LVDIE-LVD 中断使能控制位

- 1:使能
- 0:禁止

RPAGE3~RC (中断标志寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIF	LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF

Bit4:LVDIF-LVD 中断标志位

- 1:有中断
- 0:无中断

3.7.2 LVD 电压检测设置说明

- 1、设定 LVD 的电压值 (BANK3 R8 寄存器的 LVDSEL<4:0>位);
- 2、使能 LVD 功能 (BANK3 R8 寄存器 LVDEN 位);
- 3、使能 LVD 中断 (BANK3 RB 寄存器的 LVDIE 位), 执行“ENI”指令 (若需要 LVD 中断);
- 4、在中断子程序或主程序查询 LVDIF 位为 1 后, 再判断 RPAGE0 RD 寄存器的 LVD_FG 位, 执行相应的动作。

3.8 LCD 驱动功能模块

YF468J 带有 32 个段和 4 个公共驱动端，能驱动 4*32 点阵的 LCD 驱动器。在工作模式、低速模式和待机模式下均可工作。LCD 的 Duty、偏压、段输出引脚数、公共端输出引脚数和帧频率均可由软件设置。

3.8.1 LCD 驱动寄存器说明

RPAGE0~R9 (LCD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BS	DS<1:0>		LCDEN	--	LCDTYPE	LCDF<1:0>	

Bit7:BS-LCD 偏压选择

1:1/3 偏压

0:1/2 偏压

Bit<6:5>:DS<1:0>-LCD Duty 选择

DS1	DS0	LCD DUTY
0	0	1/2 Duty
0	1	1/3 Duty
1	X	1/4 Duty

Bit4:LCDEN-LCD 使能控制位

0:禁止(所有 SEG/COM 输出低电平)

1:使能

Bit2:LCDTYPE-LCD 波形选择

0:A TYPE

1:B TYPE

Bit<1:0>:LCDF<1:0>-LCD 帧频选择

LCDF1	LCDF0	LCD 帧频选择 (FS=32.768K)		
		1/2 Duty	1/3 Duty	1/4 Duty
0	0	FS/(256*2)=64.0	FS/(172*2)=63.5	FS/(128*2)=64.0
0	1	FS/(280*2)=58.5	FS/(188*2)=58.0	FS/(140*2)=58.5
1	0	FS/(304*2)=53.9	FS/(204*2)=53.5	FS/(152*2)=53.9
1	1	FS/(232*2)=70.6	FS/(156*2)=70.0	FS/(116*2)=70.6

寄存器可读可写

RPAGE0~RA (LCD-RAM 地址寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	LCD_A<4:0>				

Bit<4:0>: LCD_A <4:0>-LCD RAM 地址选择

RA	RB (LCD 数据缓存器)				SEG
LCD_A<4:0>	LCD_D3	LCD_D2	LCD_D1	LCD_D0	
00H	-	-	-	-	SEGO
01H	-	-	-	-	SEG1
02H					SEG2

1DH	-	-	-	-	SEG29
1EH	-	-	-	-	SEG30
1FH	-	-	-	-	SEG31
公共驱动	COM3	COM2	COM1	COM0	

RPAGE0~RB (LCD 数据缓存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	LCD_D<3:0>			

Bit<3:0>: LCD_D<3:0>:LCD RAM 数据传输寄存器

RPAGE0~RD (系统时钟控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	CLK<2:0>			IDLE	BF<1:0>		CPUS

Bit<2:1>: BF<1:0>- LCD 偏压刷新频率控制

BF1	BF0	偏压刷新频率
0	0	FS
0	1	FS/4
1	0	FS/8
1	1	FS/16

3.8.2 LCD 模块功能设置说明

- 1、设置 Port7 和 Port8 作为通用 I/O 口或 LCDSEG, P7, P8 引脚作为 SEG 口时一定要设置为输出;
- 2、设置 LCD 类型, 占空比, 偏压, LCD 帧频率;
- 3、设置 LCD 扫描频率;
- 4、清除所有 LCD RAM(RA 和 RB);
- 5、使能 LCD 功能;
- 6、根据实际应用使用 LCD 地址和 LCD 数据缓存器(RA 和 RB);

3.9 PWM 脉宽调制功能模块

YF468J 内置 3 个带预分频器的计数器，用来产生脉宽调制信号，其中 PWM0、PWM1 和 PWM2 都是 10bit 精度。PWM 输出波形由周期及占空因数决定，传输速率为周期倒数。另外 YF468J 具有 2 路逻辑与输出，还有互补输出，死区保护，倍频，级联，刹车功能。

3.9.1 PWM 脉宽调制寄存器说明

RPAGE0~RE (IR 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRE	HF	LGP	--	IROUTE	TCCE	EINT1	EINT0

Bit<5>:LGP-PWM 脉冲类型选择

0:高脉冲，低脉冲均有效

1:高脉冲定时器无效，仅低脉冲定时器有效

RPAGE2~R5 (PWM0 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOEN	PTOEN	PTOP<2:0>			IPWMO	PWMOCKS	PWMOCS

Bit<7>:PWMOEN-PWM0 使能控制位

1:使能

0:禁止

Bit<6>:PTOEN-PWM0 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PTOP<2:0>-PWM0 时钟预分频控制位

PTOP<2>	PTOP<1>	PTOP<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWMO-PWM0 互补功能使能控制位

1:使能

0:禁止

Bit<1>:PWMOCKS-PWM0 时钟选择

1:Fcpu

0:Fosc

Bit<0>:PWMOCS-PWM0 级联使能控制位

1:使能 (PWM1 级联至 PWM0，PWM1 为低位，PWM0 为高位)

0:禁止

RPAGE2~R6 (PWM0 周期及占空比高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDCS	P2CS	P1CS	POCS	PDC0<9:8>		PRD0<9:8>	

Bit<7>:PDCS-PWM 死区调节时钟源选择

0:Fm

1:Fs

Bit<6>:P2CS-PWM2 时钟源选择

0:Fm

1:Fs

Bit<5>:P1CS-PWM1 时钟源选择

0:Fm

1:Fs

Bit<4>:POCS-pwm0 时钟源选择

0:Fm

1:Fs

Bit<3:2>:PDC0<9:8>-PWM0 占空因子高位

Bit<1:0>:PRD0<9:8>-PWM0 周期因子高位

RPAGE2~R7 (PWM0 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD0<7:0>							

Bit<7:0>:PRD0<7:0>-PWM0 周期低位

该寄存器可读可写

RPAGE2~R8 (PWM0 占空低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC0<7:0>							

Bit<7:0>:PDC0<7:0>-PWM0 占空因子低位

该寄存器可读可写

RPAGE2~R9 (PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1EN	PT1EN	PT1P<2:0>		IPWM1	PWM1CKS	PWM1CS	

Bit<7>:PWM1EN-PWM1 使能控制位

1:使能

0:禁止

Bit<6>:PT1EN-PWM1 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT1P<2:0>-PWM1 时钟预分频控制位

PTOP<2>	PTOP<1>	PTOP<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64

1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM1-PWM1 互补功能使能控制位

- 1:使能
- 0:禁止

Bit<1>:PWM1CKS-PWM1 时钟选择

- 1:Fcpu
- 0:Fosc

Bit<0>:PWM1CS-PWM1 级联使能控制位

- 1:使能 (PWM2 级联至 PWM1, PWM2 为低位, PWM1 为高位)
- 0:禁止

此寄存器可读可写

RPAGE2~RA (PWM1&PWM2 周期、占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<9:8>		PDC1<9:8>		PRD2<9:8>		PRD1<9:8>	

Bit<7:6>:PDC2<9:8>-PWM2 占空因子高位

Bit<5:4>:PDC1<9:8>-PWM1 占空因子高位

Bit<3:2>:PRD2<9:8>-PWM2 周期因子高位

Bit<1:0>:PRD1<9:8>-PWM1 周期因子高位

RPAGE2~RB (PWM1 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7:0>							

Bit<7:0>:PRD1<7:0>-PWM1 周期低位

RPAGE2~RC (PWM1 占空低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC1<7:0>							

Bit<7:0>:PDC1<7:0>-PWM1 占空因子低位

RPAGE2~RD (PWM2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2EN	PT2EN	PT2P<2:0>			IPWM2	PWM2CKS	PWM2CS

Bit<7>:PWM2EN-PWM2 使能控制位

- 1:使能
- 0:禁止

Bit<6>:PT2EN-PWM2 时钟分频器使能控制位

- 1:使能
- 0:禁止

Bit<5:3>:PT2P<2:0>-PWM2 时钟预分频控制位

PTOP<2>	PTOP<1>	PTOP<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32

1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM2-PWM2 互补功能使能控制位

1:使能

0:禁止

Bit<1>:PWM2CKS-PWM2 时钟选择

1:Fcpu

0:Fosc

Bit<0>:PWM2CS-PWM2 级联使能控制位

1:使能(PWM0 级联至 PWM2, PWM0 为低位, PWM2 为高位)

0:禁止

RPAGE2~RE (PWM2 周期低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7:0>							

Bit<7:0>:PRD2<7:0>-PWM2 周期低位

此寄存器可读可写

RPAGE2~RF (PWM2 占空低位控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDC2<7:0>							

Bit<7:0>:PDC2<7:0>-PWM2 占空因子低位

此寄存器可读可写

RPAGE3~R5 (PWM 死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEAD_EN<2:0>			DCK_SEL	PRESET<3:0>			

Bit<7:5>:DEAD_EN<2:0>-死区调节使能控制位

DEAD_EN<2>-PWM2 死区调节使能控制

DEAD_EN<1>-PWM1 死区调节使能控制

DEAD_EN<0>-PWM0 死区调节使能控制

1:使能

0:禁止

Bit<4>:DCK_SEL-死区时钟选择

1:Fcpu

0:Fosc

Bit<3:0>:PRESET<3:0>-死区时间设置

PRESET<3>	PRESET<2>	PRESET<1>	PRESET<0>	死区时间
0	0	0	1	1*Tdck
0	0	1	0	2*Tdck
0	0	1	1	3*Tdck
0	1	0	0	4*Tdck
0	1	0	1	5*Tdck
0	1	1	0	6*Tdck

0	1	1	1	7*Tdck
1	0	0	0	8*Tdck
1	0	0	1	9*Tdck
1	0	1	0	10*Tdck
1	0	1	1	11*Tdck
1	1	0	0	12*Tdck
1	1	0	1	13*Tdck
1	1	1	0	14*Tdck
1	1	1	1	15*Tdck

此寄存器可读可写

RPAGE3~R6 (PWM 极性及死区时钟控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INVH<2:0>			INVL<2:0>			DCK_DIV<1:0>	

Bit<7:5>: INVH<2:0>-PWM2~0 极性选择

1:duty 有效为低电平

0:duty 有效为高电平

Bit<4:2>: INVL<2:0>-IPWM2~0 极性选择

1:duty 有效为高电平

0:duty 有效为低电平

Bit<1:0>: DCK_DIV<1:0>-死区时钟分频选项

DCK_DIV<1>	DCK_DIV<0>	分频系数
0	0	1
0	1	1/4
1	0	1/16
1	1	1/64

此寄存器可读可写

RPAGE3~R7 (PWM 死区时钟及输出控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DBD_EN	DB2_EN	DB1_EN	DB_EN0	BRK_EN	PWMOEN<2:0>		

Bit<7>: DBD_EN-死区调整时钟倍频控制位

0:使能(死区调节时钟加倍)

1:禁止

Bit<6>: DB2_EN-PWM2 时钟倍频控制位

0:使能(PWM2 时钟加倍)

1:禁止

Bit<5>: DB1_EN-PWM1 时钟倍频控制位

0:使能(PWM1 时钟加倍)

1:禁止

Bit<4>: DB_EN0-PWM0 时钟倍频控制位

0:使能(PWM0 时钟加倍)

1:禁止

Bit<3>: BRK_EN-PWM 刹车使能控制位

1:使能(刹车事件(外部中断)发生后,硬件直接拉低 PWMOEN<2:0>,对应端口切换为输出端口数据寄存器内容)

0:禁止

Bit<2:0>:PWMOEN<2:0>-PWM 输出使能控制位

1:输出 PWM 数据

0:输出对应端口数据寄存器内容

此寄存器可读可写

RPAGE3~RA (唤醒使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	LVD_wken	WDT_wken	PWM2_wken	PWM1_wken	PWM0_wken

Bit<2:0>:PWM_wken-PWM 唤醒使能控制位

1:使能

0:禁止

RPAGE3~RB (中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE

Bit<2:0>:PWMIE-PWM 中断使能控制位

1:使能

0:禁止

RPAGE3~RC (中断标志寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIF	LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF

Bit<2:0>:PWMIF-PWM 中断标志位

1:有中断

0:无中断

RPAGE4~R9 (PWM 输出选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				SF_P67	SF_P66	PWMO_SEL<1:0>	

Bit<7:4>:保留

Bit<3>:SF_P67-P67 输出功能选择

1:特殊输出口,输出 PWM2&PWMO

0:通用输出口,输出 P67 数据寄存器对应内容

Bit<2>:SF_P66-P66 输出功能选择

1:特殊输出口,输出 PWM1&PWMO

0:通用输出口,输出 P66 数据寄存器对应内容

Bit<1:0>:PWMO_SEL<1:0>-PWM 输出管脚选择位

PWMO_SEL<1>	PWMO_SEL<0>	IPWM2	IPWM1	IPWM0	PWM2	PWM1	PWM0
0	0	P63	P64	P65	P60	P61	P62
0	1	P70	P71	P72	P60	P61	P62
1	0	P80	P81	P82	P60	P61	P62
1	1	/	/	/	P60	P61	P62

IOPAGE1~IOC61 (PORT 唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IROCS	BUZ2_EN	BUZ1_EN	BUZO_EN	WUE8H	WUE8L	WUE6H	WUE6L

- Bit<6>:BUZ2_EN-BUZZ2 使能控制(从 PWM2 端口输出)
 1:使能(PWM2 通道输出 BUZZ 波形, $T_{buzz2}=2*T_{prd2}$)
 0:禁止
- Bit<5>:BUZ1_EN-BUZZ1 使能控制(从 PWM2 端口输出)
 1:使能(PWM1 通道输出 BUZZ 波形, $T_{buzz1}=2*T_{prd1}$)
 0:禁止
- Bit<4>:BUZO_EN-BUZZ0 使能控制(从 PWM2 端口输出)
 1:使能(PWM0 通道输出 BUZZ 波形, $T_{buzz0}=2*T_{prd0}$)
 0:禁止

3.9.2 PWM 脉宽调制设置说明

- 1、使能 PWM 功能模块;
- 2、设置 PWM 时钟源, 选择 Fcpu 或者 Fosc 作为 PWM 的时钟源;
- 3、使能 PWM 时钟分频器, 设置分频比;
- 4、设置 PWM 输出极性, 选择占空比输出为高电平有效还是低电平有效;
- 5、设置某一端口为 PWM 输出通道;
- 6、写周期寄存器的值, 确定 PWM 输出周期;
- 7、写占空比寄存器的值, 确定 PWM 输出占空比;
- 8、关闭 PWM 中断;
- 9、使能 PWM 输出控制位, 则端口输出已设置的 PWM 波形。

3.9.3 PWM 脉宽调制互补设置说明

- 1、使能 PWM 功能模块;
- 2、设置 PWM 时钟源, 选择 Fcpu 或者 Fosc 作为 PWM 的时钟源;
- 3、使能 PWM 时钟分频器, 设置分频比;
- 4、设置 PWM 输出极性, 选择占空比输出为高电平有效还是低电平有效;
- 5、使能 IPWM 互补输出;
- 6、设置 IPWM 输出极性, 选择占空比输出为高电平有效还是低电平有效;
- 7、设置某一端口为 PWM 输出通道;
- 8、写周期寄存器的值, 确定 PWM 输出周期;
- 9、写占空比寄存器的值, 确定 PWM 输出占空比;
- 10、关闭 PWM 中断;
- 11、使能 PWM 输出控制位, 则端口输出已设置的 PWM 波形。

3.9.4 PWM 脉宽调制死区设置说明

- 1、使能 PWM 功能模块;
- 2、设置 PWM 时钟源, 选择 Fcpu 或者 Fosc 作为 PWM 的时钟源;
- 3、使能 PWM 时钟分频器, 设置分频比;
- 4、设置 PWM 输出极性, 选择占空比输出为高电平有效还是低电平有效;

- 5、使能 IPWM 互补输出；
- 6、设置 IPWM 输出极性，选择占空比输出为高电平有效还是低电平有效；
- 7、设置 PWM 死区使能，选择某一路 PWM 使能死区控制；
- 8、设置 PWM 死区时钟源，选择 Fcpu 或 Fosc 作为死区时钟源；
- 9、设置死区时间；
- 10、设置某一端口为 PWM 输出通道；
- 11、写周期寄存器的值，确定 PWM 输出周期；
- 12、写占空比寄存器的值，确定 PWM 输出占空比；
- 13、关闭 PWM 中断；
- 14、使能 PWM 输出控制位，则端口输出已设置的 PWM 波形。

注意:死区时钟频率高于或等于 pwm 时钟频率

3.9.5 PWM 脉宽调制倍频设置说明

- 1、使能 PWM 功能模块；
- 2、设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 的时钟源；
- 3、使能 PWM 时钟分频器，设置分频比；
- 4、设置 PWM 输出极性，选择占空比输出为高电平有效还是低电平有效；
- 5、设置某一端口为 PWM 输出通道；
- 6、设置 PWM 时钟倍频使能，使 PWM 时钟加倍；
- 7、写周期寄存器的值，确定 PWM 输出周期；
- 8、写占空比寄存器的值，确定 PWM 输出占空比；
- 9、关闭 PWM 中断；
- 10、使能 PWM 输出控制位，则端口输出已设置的 PWM 波形。

3.9.6 PWM 脉宽调制级联设置说明

- 1、使能 PWM 功能模块；
- 2、设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 的时钟源；
- 3、使能 PWM 时钟分频器，设置分频比；
- 4、设置 PWM 输出极性，选择占空比输出为高电平有效还是低电平有效；
- 5、设置某一端口为 PWM 输出通道；
- 6、设置 PWM 级联使能，设置相应的 PWM 级联输出；
- 7、写周期寄存器的值，确定 PWM 输出周期；
- 8、写占空比寄存器的值，确定 PWM 输出占空比；
- 9、关闭 PWM 中断；
- 10、使能 PWM 输出控制位，则端口输出已设置的 PWM 波形。

3.9.7 PWM 脉宽调制刹车设置说明

- 1、使能 PWM 功能模块；
- 2、设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 的时钟源；
- 3、使能 PWM 时钟分频器，设置分频比；
- 4、设置 PWM 输出极性，选择占空比输出为高电平有效还是低电平有效；
- 5、设置某一端口为 PWM 输出通道；
- 6、设置 PWM 刹车使能，将 BRKEN 标志位置一；

- 7、设置外部中断口为输入口，使能外部中断上升沿有效；
- 8、使能外部中断；
- 9、写周期寄存器的值，确定 PWM 输出周期；
- 10、写占空比寄存器的值，确定 PWM 输出占空比；
- 11、关闭 PWM 中断；
- 12、使能 PWM 输出控制位，则端口输出已设置的 PWM 波形；
- 13、当外部中断触发后，PWM 立刻停止，端口切换为输出端口数据寄存器内容。

3.9.8 PWM 脉宽调制逻辑与输出设置说明

- 1、使能 PWM 功能模块；
- 2、设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 的时钟源；
- 3、使能 PWM 时钟分频器，设置分频比；
- 4、设置 PWM 输出极性，选择占空比输出为高电平有效还是低电平有效；
- 5、设置某一端口为 PWM 输出通道；
- 6、写周期寄存器的值，确定 PWM 输出周期；
- 7、写占空比寄存器的值，确定 PWM 输出占空比；
- 8、关闭 PWM 中断；
- 9、使能 SPWM 输出功能，则端口输出已设置的 PWM 逻辑与波形。

3.9.9 PWM 脉宽调制周期唤醒设置说明

- 1、使能 PWM 功能模块；
- 2、设置 PWM 时钟源，选择低速晶振时钟(外接晶振)作为 PWM 时钟源；
- 3、使能 PWM 时钟分频器，设置分频比；
- 4、设置 PWM 唤醒使能；
- 5、写周期寄存器的值，确定 PWM 输出周期；
- 6、开启 PWM 周期中断；
- 7、进入 SLEEP，等待 PWM 周期唤醒。

注意:1. 选择 PWM 周期唤醒功能，PWM 时钟一定选择外部低速晶振；

2. 使用 PWM1 和 PWM2 周期中断唤醒时，周期的设置需要通过级联的方式进行计算；

3.10 计数器功能模块

YF468J 计数器和 TCC 在定时器模式时的很多功能用法都一样，主要的差别在于 CNT 计数器的时钟源可以选择，而且 CNT 计数器具有自动重装载功能。

3.10.1 计数器寄存器说明

RPAGE0~RC (计数器使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mon_en	RTC_en	RTC0<1:0>		LPWTEN	HPWTEN	CNT2EN	CNT1EN

Bit<1>:CNT2EN-CNT2 使能控制位

0:禁止

1:使能

Bit<0>:CNT1EN-CNT1 使能控制位

0:禁止

1:使能

RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIF	LPWTF	HPWTF	CNT2F	CNT1F	INT1F	INT0F	TCIF

Bit<4>:CNT2F-CNT2 溢出中断标志位

0:无中断

1:有中断

Bit<3>:CNT1F-CNT1 溢出中断标志位

0:无中断

1:有中断

RPAGE3~R9 (唤醒使能寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KBI_wken	LPWT_wken	HPWT_wken	CNT2_wken	CNT1_wken	INT1_wken	INT0_wken	TCC_wken

Bit<4>:CNT2_wken-计数器 2 唤醒

1:使能

0:禁止

Bit<2>:CNT1_wken-计数器 1 唤醒

1:使能

0:禁止

IOPAGE0~IOCB0 (CNT1 初值寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CNT1_PRE<7:0>							

Bit<7:0>:CNT1_PRE<7:0>-CNT1 初值

IOPAGE0~IOCC0 (CNT2 初值寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CNT2_PRE<7:0>							

Bit<7:0>:CNT2_PRE<7:0>-CNT2 初值

IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIE	LPWTE	HPWTE	CNT2E	CNT1E	INT1E	INT0E	TCIE

Bit<4>:CNT2E-CNT2 溢出中断使能

0:禁止

1:使能

Bit<3>:CNT1E-CNT1 溢出中断使能

0:禁止

1:使能

IOPAGE1~IOC91 (CNT1/2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CNT2S	CNT2P<2:0>			CNT1S	CNT1P<2:0>		

Bit<7>:CNT2S-CNT2 时钟选择

0:选择副时钟作为计数时钟

1:选择主时钟作为计数时钟

Bit<6:4>:CNT2P<2:0>-CNT2 预分频控制

CNT2P2	CNT2P1	CNT2P0	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<3>:CNT1S-CNT1 时钟选择

0:选择副时钟作为计数时钟

1:选择主时钟作为计数时钟

Bit<2:0>:CNT1P<2:0>-CNT1 预分频控制

CNT1P2	CNT1P1	CNT1P0	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.10.2 计数器设置说明

- 1、设置 CPUS 为 1；
- 2、设置主时钟频率；
- 3、设置计数器时钟源，预分频比；
- 4、根据需要，也可以使能唤醒功能。

3.11 中断功能模块

YF468J 具有 14 个中断源, 无论是使用其中那一个中断, 都必须使总中断使能, 即下“ENI”指令。下面分别是每个中断的特性, 中断地址及优先级别:

	中断源	使能条件	中断标志	中断向量	优先级
外部	RTC 中断	ENI+(RTCIE=1)	RTCIF	001EH	1
外部	TCC 溢出中断	ENI+(TCIE=1)	TCIF	0003H	2
内部	INT0 外部中断	ENI+(INT0E=1)	INT0F	0006H	3
内部	INT1 外部中断	ENI+(INT1E=1)	INT1F	0009H	4
内部	CNT1 中断	ENI+(CNT1E=1)	CNT1F	000CH	5
内部	CNT2 中断	ENI+(CNT2E=1)	CNT2F	000FH	6
内部	高电平脉宽下溢中断	ENI+(HPWTE=1)	HPWTF	0012H	7
内部	低电平脉宽下溢中断	ENI+(LPWTE=1)	LPWTF	0015H	8
内部	端口输入状态改变	ENI+(ICIE=1)	ICIF	0018H	9
内部	PWM0 周期溢出中断	ENI+(PWM0IE=1)	PWM0IF	0021H	10
内部	PWM1 周期溢出中断	ENI+(PWM1IE=1)	PWM1IF	0024H	11
内部	PWM2 周期溢出中断	ENI+(PWM2IE=1)	PWM2IF	0027H	12
内部	看门狗中断	ENI+(WDTIE=1)	WDTIF	002AH	13
内部	低电压检测中断	ENI+(LVDIE=1)	LVDIF	001BH	14

BANK0 的 RF 与 BANK3 的 RC 为中断状态标志寄存器, 它们记录了当某个中断产生中断请求后的中断标志位。IOCF0 与 BANK3 的 RB 为中断设置寄存器, 中断的允许与禁止在这两个寄存器中设置。总中断的允许是通过下“ENI”指令, 相反, 总中断的禁止是通过下“DISI”指令。当一个中断产生时, 它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零, 这样才能避免中断的误动作。

当执行中断子程序时, ACC、R3、R4 的内容将会被保留起来, 直到离开中断子程序后, 被保留的值将会载入 ACC、R3、R4, 如此是为了避免在执行中断子程序时, 又将 ACC、R3、R4 的值改变, 导致回主程序时发生错误。

3.11.1 中断寄存器说明

RPAGE0~RC (计数器使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mon_en	RTC_en	RTC0<1:0>		LPWTEN	HPWTEN	CNT2EN	CNT1EN

Bit<7>:Mon_en-RTC 输出使能控制位

0:禁止

1:使能(从 p66 输出 rtc 中断选择频率)

Bit<6>:RTC_en-RTC 使能控制位

0:禁止

1:使能

Bit<5:4>:RTC 中断频率选择

11:RTC 中断频率选择 0.25Hz

10:RTC 中断频率选择 0.5Hz

01:RTC 中断频率选择 1Hz

00:RTC 中断频率选择 2Hz

Bit<3>:LPWTEN-LPWT 使能控制位

0:禁止

1:使能

Bit<2>:HPWTEN-HPWT 使能控制位

0:禁止

1:使能

Bit<1>:CNT2EN-CNT2 使能控制位

0:禁止

1:使能

Bit<0>:CNT1EN-CNT1 使能控制位

0:禁止

1:使能

RPAGE0~RE (IR 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRE	HF	LGP	--	IROUTE	TCCE	EINT1	EINT0

Bit<1>:EINT1-P55 功能定义

0:作为 GPIO

1:作为外部中断 INT1 输入口(需先将端口设置为输入态)

Bit<0>:EINT0-P54 功能定义

0:作为 GPIO

1:作为外部中断 INT1 输入口(需先将端口设置为输入态)

RPAGE0~RF (中断标志寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIF	LPWTF	HPWTF	CNT2F	CNT1F	INT1F	INT0F	TCIF

Bit<7>:ICIF-输入端口状态变化中断

0:无中断

1:有中断

Bit<6>:LPWTF-LPWT 溢出中断

0:无中断

1:有中断

Bit<5>:HPWTF-HPWT 溢出中断

0:无中断

1:有中断

Bit<4>:CNT2F-CNT2 溢出中断

0:无中断

1:有中断

Bit<3>:CNT1F-CNT1 溢出中断

0:无中断

1:有中断

Bit<2>:INT1F-外部中断 1

0:无中断

1:有中断

Bit<1>:INT0F-外部中断 0

0:无中断

1:有中断

Bit<0>:TCIF-TCC 溢出中断

0:无中断

1:有中断

RPAGE3~RB (中断使能控制寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIE	LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE

Bit<5:0>:中断使能控制位

0:禁止

1:使能

RPAGE3~RC (中断标志寄存器 2)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	RTCIF	LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF

Bit<4:0>:中断标志控制位

0:无中断

1:有中断

IOPAGE0~IOCF0 (中断使能控制寄存器 1)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ICIE	LPWTE	HPWTE	CNT2E	CNT1E	INT1E	INT0E	TCIE

Bit<7>:ICIE-输入端口状态变化中断使能

0:禁止

1:使能

Bit<6>:LPWTE-LPWT 溢出中断使能

0:禁止

1:使能

Bit<5>:HPWTE-HPWT 溢出中断使能

0:禁止

1:使能

Bit<4>:CNT2E-CNT2 溢出中断使能

0:禁止

1:使能

Bit<3>:CNT1E-CNT1 溢出中断使能

0:禁止

1:使能

Bit<2>:INT1E-外部中断 1 使能

0:禁止

1:使能

Bit<1>:INT0E-外部中断 0 使能

0:禁止

1:使能

Bit<0>:TCIE-TCC 溢出中断使能

0:禁止

1:使能

IOPAGE1~IOC71 (TCC 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INT_EDGE	INT	TS	TE	PSTE	PST<2:0>		

Bit<7>:INT_EDGE-INT 中断沿选择

0:上升沿触发中断

1:下降沿触发中断

Bit<6>:INT-中断使能标志位

0:禁止(由 DISI 指令或硬件中断屏蔽)

1:使能(由 ENI 或 RETI 指令使能)

3.11.2 外部中断 INTO 设置说明

- 1、设置相应的边沿中断，上升沿还是下降沿，通过寄存器 IOC71 的 INT_EDGE 设置；
- 2、设置 INT 口为中断口，通过 RPAGE0 RE 的 EINT0 位置一实现；
- 3、使能外部中断功能，通过设置 IOCF0 寄存器的 INTOE 为一；
- 4、写 ENI 指令；

3.12 复位功能模块

3.12.1 复位功能概述

YF468J 系统提供 3 种复位方式

- 1、上电复位
- 2、RESET 脚输入低电平复位
- 3、WDT 看门狗溢出复位

第一种复位时间由 OPTION 中的 SUT 选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
1	18ms
0	4.5ms

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.12.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

3.12.3 WDT 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化：所有的系统寄存器被置为默认状态；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

看门狗定时器应用注意事项：

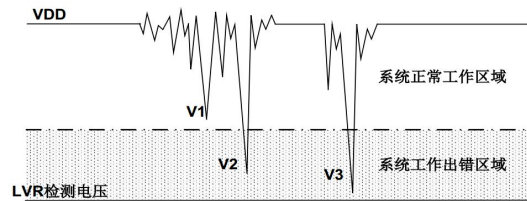
1、对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；

2、不能在中断中对看门狗清零，否则无法侦测到主程序跑飞的情况；

3、程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。

3.12.4 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形(例如, 干扰或外部负载的变化), 掉电复位可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中, VDD 受到严重的干扰, 电压值降的非常低。虚线以上区域系统正常工作, 在虚线以下的区域内, 系统进入未知的工作状态, 这个区域称作死区。当 VDD 跌至 V1 时, 系统仍处于正常状态; 当 VDD 跌至 V2 和 V3 时, 系统进入死区, 则容易导致出错。以下情况系统可能进入死区:

DC 运用中:

DC 运用中一般都采用电池供电, 当电池电压过低或单片机驱动负载时, 系统电压可能跌落并进入死区。这时, 电源不会进一步下降到复位电压, 因此系统维持在死区。

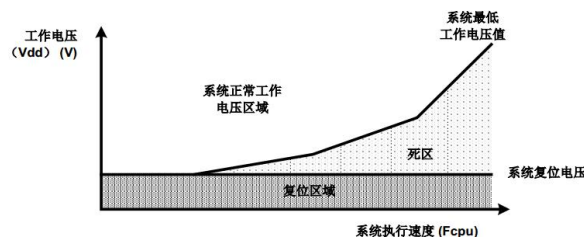
AC 运用中:

系统采用 AC 供电时, DC 电压值受 AC 电源中的噪声影响。当外部负载过高, 如驱动马达时, 负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时, 则系统将有可能进入不稳定工作状态。

在 AC 运用中, 系统上、下电时间都较长。其中, 上电时序保护使得系统正常上电, 但下电过程却和 DC 运用中情形类似, AC 电源关断后, VDD 电压在缓慢下降的过程中易进入死区。

3.12.5 工作频率与 LVR 低压检测关系

为了改善系统掉电复位的性能, 首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关, 不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图

如上图所示, 系统正常工作电压区域一般高于系统复位电压, 同时复位电压由低电压检测 (LVR) 电平决定。当系统执行速度提高时, 系统最低工作电压也相应提高, 但由于系统复位电压是固定的, 因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域, 系统不能正常工作, 也不会复位, 这个区域即为死区。

为避免出现死区电压, 再选择工作频率的时候, 要选择相应的 LVR 复位电压点。如下表:

工作频率	LVR 复位电压点
IRC-16M	LVR-3.5V 以上
IRC-8M	LVR-2.7V 以上
IRC-4M	LVR-1.8V 以上
IRC-2M/1M/455K	LVR-1.6V 以上

3.13 系统时钟功能模块

YF468J 内部集成了 5 种振荡器，可以通过 OPTION 实现相应配置。具体参看下表：

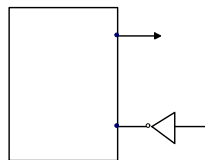
振荡器类型	说明
ERC(外接电阻振荡器)	P55:ERCIN; P70:GPIO
IRC(内置 RC 振荡器)	通过 RCM 选择 455K/1M/2M/4M/8M/16M
HXT(高速晶振)	12M~16M
LXT(低速晶振)	32.768KHz
PLL	

说明:HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

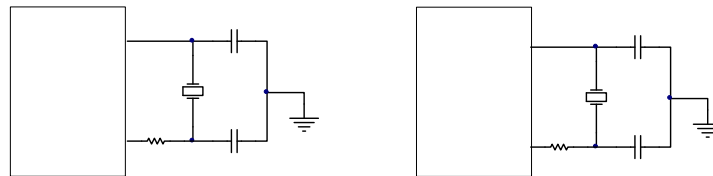
3.13.1 外部晶体振荡器/陶瓷谐振器(XT)

YF468J 可由 OSCI 引脚上的外部时钟驱动，如下图；

在大多数应用中，引脚 OSC0 和 OSCI 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参照其规格选择 C1、C2 的合适值。



外部时钟输入电路



晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

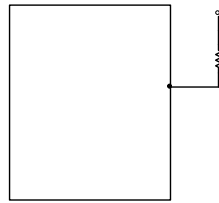
振荡源	振荡类型	频率	C1 (pF)	C2 (pF)
主频	陶瓷振荡器	455KHz	100~150	100~150
		2.0MHz	20~40	20~40
		4.0MHz	10~30	10~30
	晶体振荡器	455KHz	20~40	20~150
		1.0MHz	15~30	15~30
		2.0MHz	15	15
副频	晶体振荡器	4.0MHz	15	15
		32.768KHz	25	25

注:以上数据仅供参考，一切以实物测试为准。

3.13.2 带内部电容的 RC 振荡模式(ERIC)

YF468J 还提供一种特殊的振荡模式，即用一个片内电容和一个外部上拉到 VDD 的电阻，内部电容起到温度补偿作用。为了得到更高的精确度，建议选用高精度的电阻。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。



内部电容振荡器模式电路

RC 振荡器频率参考表如下所示，仅供参考：(以下数据为仿真数据，仅供设计参考)

引脚	阻值	平均频率 (5V, 25°C)	平均频率 (3V, 25°C)
R-OSCI	51K	2.2221MHz	2.2221MHz
	100K	1.1345MHz	1.1203MHz
	300K	381.36KHz	374.77KHz
Xin	2.2M	32.768KHz	32.768KHz

3.13.3 内部 RC 振荡器模式 (IRC)

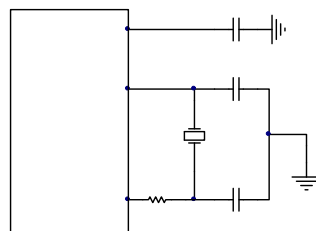
YF468J 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式还有其它频率值如 16MHz, 8MHz, 2MHz, 1MHz 和 455KHz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

Fire	IRC 频率
455K	IRC 频率选为 455KHz
1 M	IRC 频率选为 1MHz
2 M	IRC 频率选为 2MHz
4 M	IRC 频率选为 4MHz
8 M	IRC 频率选为 8MHz
16 M	IRC 频率选为 16MHz

3.13.4 锁相环 (PLL 模式)

当运行在 PLL 模式，高频取决于副频，可以设置 RD 寄存器选择高频。高频 (Fm) 和副频的关系如下：



PLL 模式电路

RPAGE0~RD (系统时钟控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	CLK<2:0>			IDLE	BF<1:0>		CPUS

Bit<6:4>:CLK<2:0>-PLL 倍频系数选择

CLK2	CLK1	CLK0	PLL 系数	例:Fs=32.768Khz
0	0	0	Fs*130	4.26MHz
0	0	1	Fs*65	2.13MHz
0	1	0	Fs*32.50	1.065MHz
0	1	1	Fs*16.25	532KHz
1	X	X	Fs*244	8MHz

3.13.5 时钟模块应用说明

内部振荡器是最常用的振荡模式，该模式可以省去外接的电路；

在使用外部时钟输入时，时钟信号要从 OSC1 输入，OSC0 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

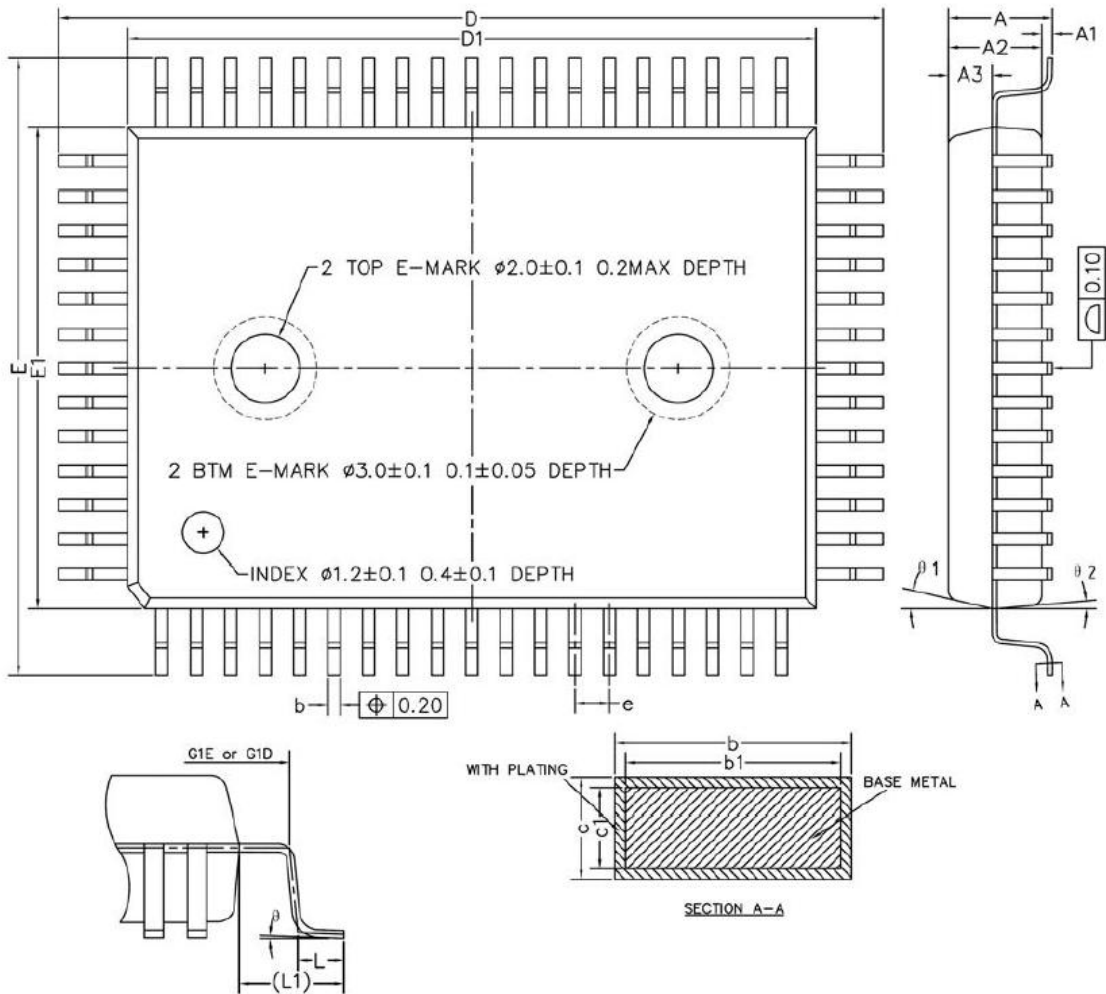
外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。

4 封装类型

OTP MCU	封装类型	引脚数	封装尺寸
YF468J	QFP64/LQFP64	64	§ 5.1 & § 5.2
YF468J	QFP44/LQFP44	44	§ 5.3 & § 5.4

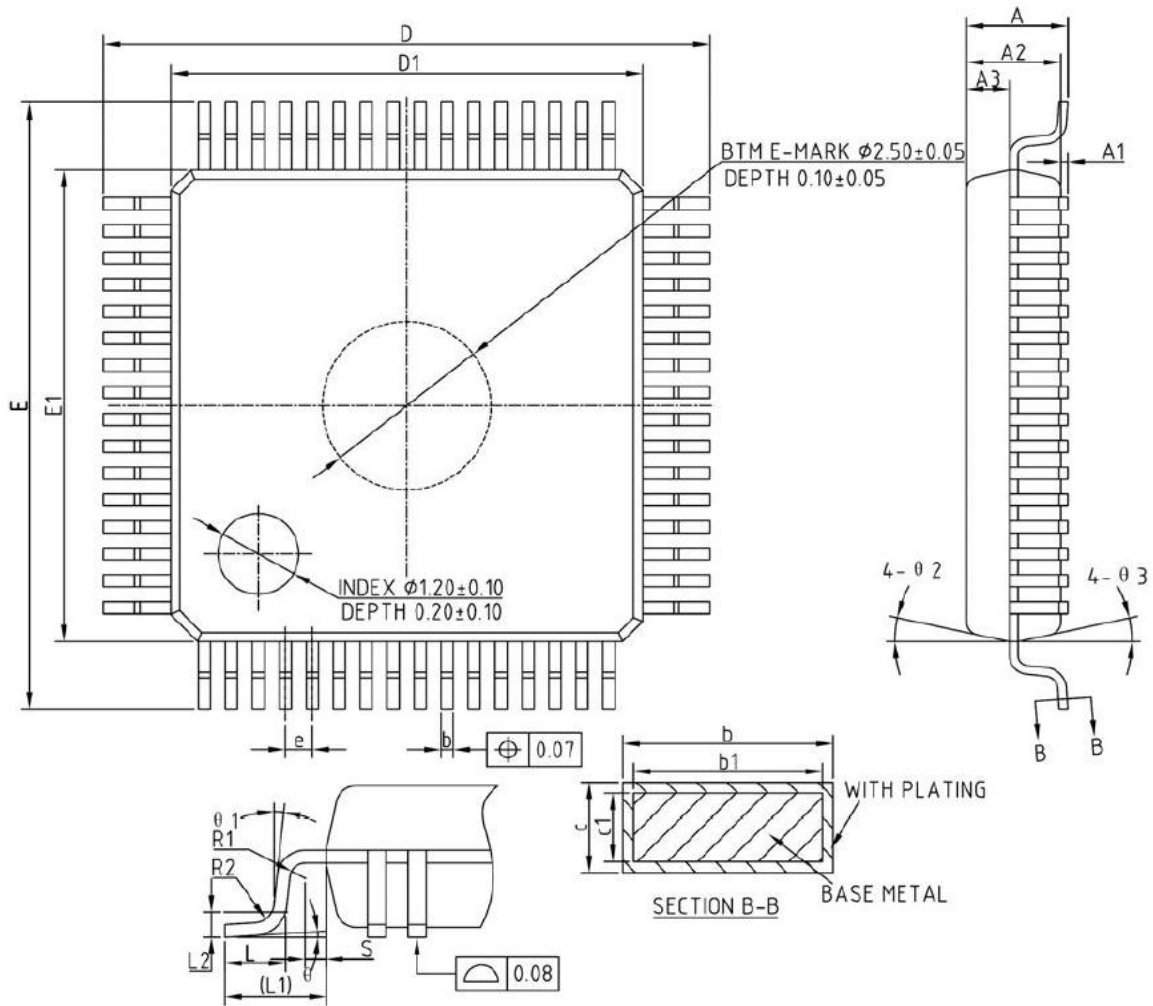
5 封装尺寸信息

5.1 QFP64 封装尺寸



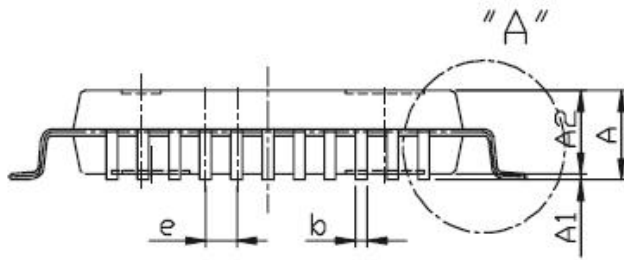
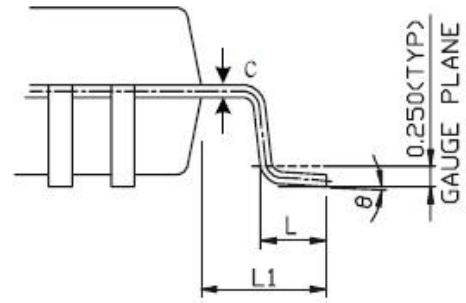
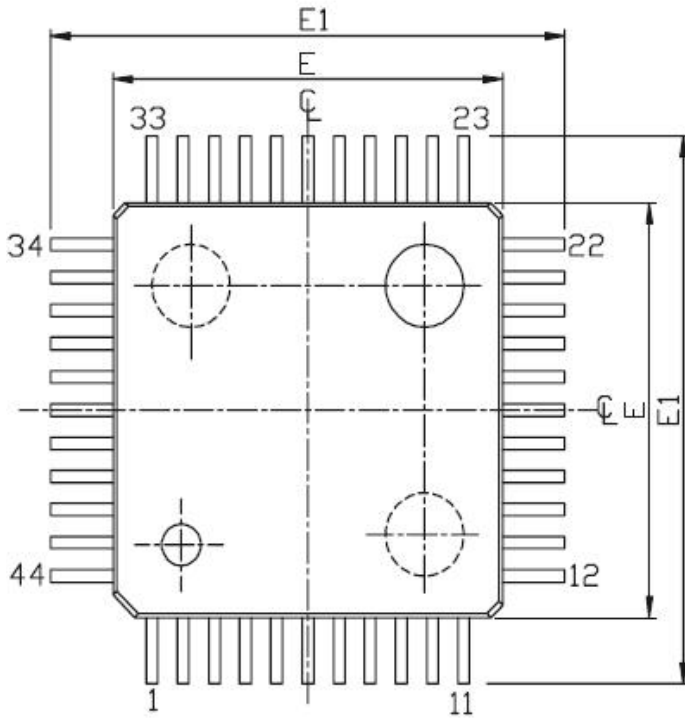
Symbol	Min	Normal	Max	Symbol	Min	Normal	Max
A	-	-	3.30	E	17.60	17.90	18.20
A1	0.10	-	0.40	E1	13.90	14.00	14.10
A2	2.65	2.75	2.85	e	0.90	1.00	1.10
A3	1.20	1.30	1.40	G1D	22.00REF		
b	0.36	-	0.48	G1E	16.00REF		
b1	0.36	0.40	0.44	L	0.60	0.80	1.00
c	0.14	-	0.20	L1	1.95REF		
c1	0.14	0.15	0.16	θ	0°	2°	8°
D	23.60	23.90	24.20	$\theta 1$	11°	13°	15°
D1	19.90	20.00	20.10	$\theta 2$	3°	5°	7°

5.2 LQFP64 封装尺寸



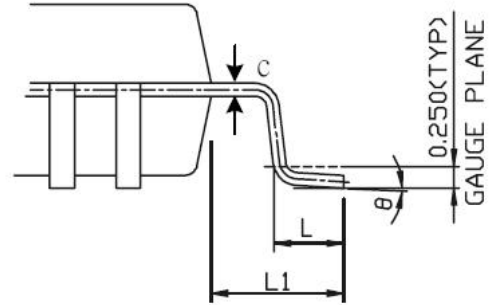
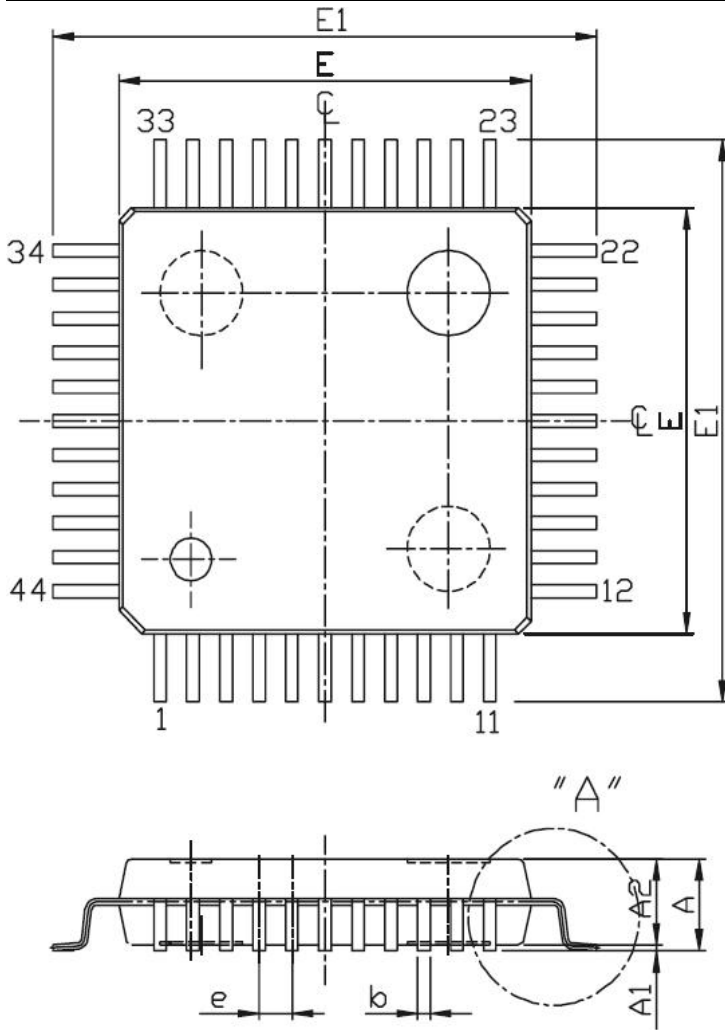
Symbol	Min	Normal	Max	Symbol	Min	Normal	Max
A	-	-	1.60	e	0.30	0.40	0.50
A1	0.05	-	0.15	L	0.45	0.60	0.75
A2	1.35	1.40	1.45	L1	1.00REF		
A3	0.59	0.64	0.69	L2	0.25BSC		
b	0.16	-	0.25	R1	0.08	-	-
b1	0.15	0.18	0.21	R2	0.08	-	0.20
c	0.13	-	0.18	S	0.20	-	-
c1	0.12	0.127	0.134	θ	0°	3.5°	7°
D	8.80	9.00	9.20	$\theta 1$	0°	-	-
D1	6.90	7.00	7.10	$\theta 2$	11°	12°	13°
E	8.80	9.00	9.20	$\theta 3$	11°	12°	13°
E1	6.90	7.00	7.10				

5.3 QFP44 封装尺寸



Symbol	Min	Normal	Max	Symbol	Min	Normal	Max
A	-	-	2.70	E	9.90	10.00	10.10
A1	0.15	-	0.50	E1	13.00	13.20	13.40
A2	1.80	2.00	2.20	e	0.80(TYP)		
b	0.03(TYP)			L	0.73	0.88	1.03
c	0.15(TYP)			L1	1.50	1.60	1.70
				θ	0°	2°	8°

5.4 LQFP44 封装尺寸



Symbol	Min	Normal	Max	Symbol	Min	Normal	Max
A	-	-	1.60	E	10.00(BASIC)		
A1	0.05	-	0.15	E1	12.00(BASIC)		
A2	1.35	1.40	1.45	e	0.80(BASIC)		
b	0.30	0.37	0.45	L	0.45	0.60	0.75
c	0.09	-	0.20	L1	1.00(BASIC)		
				theta	0°	3.5°	7°